

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月23日

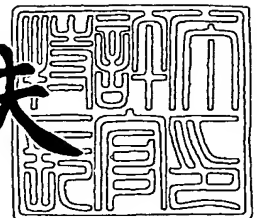
出願番号
Application Number: 特願2003-015431
[ST. 10/C]: [JP2003-015431]

出願人
Applicant(s): 日本テキサス・インスツルメンツ株式会社

2004年 2月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3008506
TJ-35082 (2002J026) us

【書類名】 特許願

【整理番号】 PN14007

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H02M 3/00

【発明者】

【住所又は居所】 大阪府大阪市北区天満橋 1 丁目 8 番 3 0 号 日本テキサス・インスツルメンツ株式会社内

【氏名】 村松 泰典

【発明者】

【住所又は居所】 大阪府大阪市北区天満橋 1 丁目 8 番 3 0 号 日本テキサス・インスツルメンツ株式会社内

【氏名】 立石 哲夫

【特許出願人】

【識別番号】 390020248

【住所又は居所】 東京都新宿区西新宿六丁目 2 4 番 1 号

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

【識別番号】 100086564

【弁理士】

【氏名又は名称】 佐々木 聖孝

【手数料の表示】

【予納台帳番号】 034290

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9206516

【ブルーフの要否】 要



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

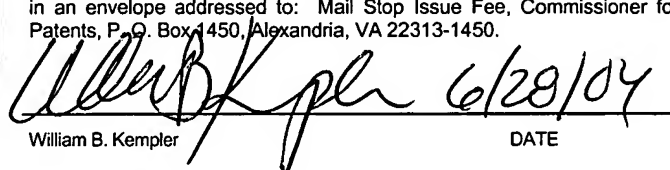
Appl. No. : 10/763,292 Confirmation No. 6492
Applicant : Yasunori Muramatsu
Filed : 01/23/2004
TC/A.U : 2838
Examiner : Not Assigned
Docket No. : TIJ-35682
Customer No. : 23494

TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C § 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Mailing Certificate Under 37 C.F.R. § 1.8(A)

I hereby certify that, on the date indicated below, this correspondence is being deposited with the United States Postal Service as First Class mail in an envelope addressed to: Mail Stop Issue Fee, Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450.


William B. Kempler

6/28/04
DATE

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2003-015,431, filed on January 23, 2003 in the Japanese Patent Office and from which priority under 35 U.S.C § 119 is claimed for the above-identified application.

Respectfully submitted,
Texas Instruments Incorporated

By 

William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228
(972)917-5452

【書類名】 明細書

【発明の名称】 チャージポンプ型DC/DCコンバータ

【特許請求の範囲】

【請求項1】 直流電源の出力端子に接続された電圧入力端子と、
第1および第2のコンデンサと、
負荷に接続される電圧出力端子と、

第1のフェーズでは、前記第1のコンデンサの第1の端子を前記電圧入力端子に接続し、前記第2のコンデンサの第1の端子を前記電圧出力端子に接続し、前記第1のコンデンサの第2の端子と前記第2のコンデンサの第2の端子とを相互に接続し、第2のフェーズでは、前記第1のコンデンサの第1および第2の端子を前記電圧出力端子および前記電圧入力端子にそれぞれ接続し、前記第2のコンデンサの第1および第2の端子を前記電圧入力端子および基準電位にそれぞれ接続するスイッチ回路網と、

前記第1のフェーズと前記第2のフェーズとを所定のデューティ比で交互に切り換えるように前記スイッチ回路網を制御するスイッチング制御手段と

を有するチャージポンプ型DC/DCコンバータ。

【請求項2】 前記第1のコンデンサが1個のコンデンサ素子からなる請求項1に記載のDC/DCコンバータ。

【請求項3】 前記第1のコンデンサのキャパシタンスが前記第2のコンデンサのキャパシタンスにほぼ等しい請求項2に記載のDC/DCコンバータ。

【請求項4】 前記第1および第2のフェーズのデューティ比をそれぞれ約1/2に設定する請求項1～3のいずれか一項に記載のDC/DCコンバータ。

【請求項5】 前記スイッチ回路網が、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第1のコンデンサの第1の端子に接続された第1のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第1のコンデンサの第2の端子に接続された第2のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第2のコンデンサの第1の端子に接続された第3のMOSトランジスタと、

第1の端子が前記第1のコンデンサの第2の端子に接続され、第2の端子が前記第2のコンデンサの第2の端子に接続された第4のMOSトランジスタと、

第1の端子が前記第2のコンデンサの第2の端子に接続され、第2の端子が前記基準電位に接続された第5のMOSトランジスタと、

第1の端子が前記第1のコンデンサの第1の端子に接続され、第2の端子が前記電圧出力端子に接続された第6のMOSトランジスタと、

第1の端子が前記第2のコンデンサの第1の端子に接続され、第2の端子が前記電圧出力端子に接続された第7のMOSトランジスタと

を有し、前記スイッチング制御手段が、

前記第1のフェーズ中は、前記第1、第4および第7のMOSトランジスタをそれぞれオン状態にするとともに前記第2、第3、第5および第6のMOSトランジスタをそれぞれオフ状態にし、

前記第2のフェーズ中は、前記第1、第4および第7のMOSトランジスタをそれぞれオフ状態にするとともに前記第2、第3、第5および第6のMOSトランジスタをそれぞれオン状態にする請求項1～4のいずれか一項に記載のDC/DCコンバータ。

【請求項6】 前記第1のコンデンサが n 個（ n は2以上の整数）のコンデンサ素子からなり、前記第1のフェーズでは前記 n 個のコンデンサ素子が互いに直列接続され、前記第2のフェーズでは前記 n 個のコンデンサ素子が互いに並列接続される請求項1に記載のDC/DCコンバータ。

【請求項7】 前記 n 個のコンデンサ素子がほぼ同一のキャパシタンスを有する請求項6に記載のDC/DCコンバータ。

【請求項8】 前記第1のフェーズのデューティ比を約 $1/(n+1)$ に設定し、前記第2のフェーズのデューティ比を約 $n/(n+1)$ に設定する請求項6または7に記載のDC/DCコンバータ。

【請求項9】 前記第1のコンデンサが第1および第2のコンデンサ素子からなり、前記スイッチ回路網が、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第1のコンデンサ素子の第1の端子に接続された第1のMOSトランジスタと、

第 1 の端子が前記電圧入力端子に接続され、第 2 の端子が前記第 1 のコンデンサ素子の第 2 の端子に接続された第 2 の MOS トランジスタと、

第 1 の端子が前記第 1 のコンデンサ素子の第 2 の端子に接続され、第 2 の端子が前記第 2 のコンデンサ素子の第 1 の端子に接続された第 3 の MOS トランジスタと、

第 1 の端子が前記電圧入力端子に接続され、第 2 の端子が前記第 2 のコンデンサ素子の第 2 の端子に接続された第 4 の MOS トランジスタと、

第 1 の端子が前記電圧入力端子に接続され、第 2 の端子が前記第 2 のコンデンサの第 1 の端子に接続された第 5 の MOS トランジスタと、

第 1 の端子が前記第 2 のコンデンサ素子の第 2 の端子に接続され、第 2 の端子が前記第 2 のコンデンサの第 2 の端子に接続された第 6 の MOS トランジスタと、

第 1 の端子が前記第 2 のコンデンサの第 2 の端子に接続され、第 2 の端子が前記基準電位に接続された第 7 の MOS トランジスタと、

第 1 の端子が前記第 1 のコンデンサ素子の第 1 の端子に接続され、第 2 の端子が前記電圧出力端子に接続された第 8 の MOS トランジスタと、

第 1 の端子が前記第 2 のコンデンサ素子の第 1 の端子に接続され、第 2 の端子が前記電圧出力端子に接続された第 9 の MOS トランジスタと、

第 1 の端子が前記第 2 のコンデンサの第 1 の端子に接続され、第 2 の端子が前記電圧出力端子に接続された第 1 0 の MOS トランジスタと

を有し、前記スイッチング制御手段が、

前記第 1 のフェーズ中は、前記第 1、第 3、第 6 および第 1 0 の MOS トランジスタをそれぞれオン状態にするとともに前記第 2、第 4、第 5、第 7、第 8 および第 9 の MOS トランジスタをそれぞれオフ状態にし、

前記第 2 のフェーズ中は、前記第 1、第 3、第 6 および第 1 0 の MOS トランジスタをそれぞれオフ状態にするとともに前記第 2、第 4、第 5、第 7、第 8 および第 9 の MOS トランジスタをそれぞれオン状態にする請求項 6 ～ 8 のいずれか一項に記載の DC / DC コンバータ。

【請求項 1 0】 前記第 1 のコンデンサが n 個 (n は 2 以上の整数) のコンデ

ンサ素子からなり、前記第1のフェーズでは前記n個のコンデンサ素子が互いに並列接続され、前記第2のフェーズでは前記n個のコンデンサ素子が互いに直列接続される請求項1に記載のDC/DCコンバータ。

【請求項11】 前記n個のコンデンサ素子がほぼ同一のキャパシタンスを有する請求項10に記載のDC/DCコンバータ。

【請求項12】 前記第1のフェーズのデューティ比を約 $n/(n+1)$ に設定し、前記第2のフェーズのデューティ比を約 $1/(n+1)$ に設定する請求項10または11に記載のDC/DCコンバータ。

【請求項13】 前記第1のコンデンサが第1および第2のコンデンサ素子からなり、前記スイッチ回路網が、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第1のコンデンサ素子の第1の端子に接続された第1のMOSトランジスタと、

第1の端子が前記第1のMOSトランジスタの第2の端子に接続され、第2の端子が前記第2のコンデンサ素子の第1の端子に接続された第2のMOSトランジスタと、

第1の端子が前記第1のコンデンサ素子の第2の端子に接続され、第2の端子が前記第2のコンデンサ素子の第1の端子に接続された第3のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第2のコンデンサ素子の第2の端子に接続された第4のMOSトランジスタと、

第1の端子が前記第1のコンデンサ素子の第2の端子に接続され、第2の端子が前記第2のコンデンサ素子の第2の端子に接続された第5のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第2のコンデンサの第1の端子に接続された第6のMOSトランジスタと、

第1の端子が前記第2のコンデンサ素子の第2の端子に接続され、第2の端子が前記第2のコンデンサの第2の端子に接続された第7のMOSトランジスタと、

、

第1の端子が前記第2のコンデンサの第2の端子に接続され、第2の端子が前

記基準電位に接続された第 8 の MOS トランジスタと、

第 1 の端子が前記第 1 のコンデンサ素子の第 1 の端子に接続され、第 2 の端子が前記電圧出力端子に接続された第 9 の MOS トランジスタと、

第 1 の端子が前記第 2 のコンデンサの第 1 の端子に接続され、第 2 の端子が前記電圧出力端子に接続された第 10 の MOS トランジスタと

を有し、前記スイッチング制御手段が、

前記第 1 のフェーズ中は、前記第 1、第 2、第 5、第 7 および第 10 の MOS トランジスタをそれぞれオン状態にするとともに前記第 3、第 4、第 6、第 8 および第 9 の MOS トランジスタをそれぞれオフ状態にし、

前記第 2 のフェーズ中は、前記第 1、第 2、第 5、第 7 および第 10 の MOS トランジスタをそれぞれオフ状態にするとともに前記第 3、第 4、第 6、第 8 および第 9 の MOS トランジスタをそれぞれオン状態にする請求項 10～12 のいずれか一項に記載の DC/DC コンバータ。

【請求項 14】 前記第 1 のコンデンサが $n \times m$ 個 (n および m はそれぞれ 2 以上の整数) のコンデンサ素子からなり、前記第 1 のフェーズでは前記 $n \times m$ 個のコンデンサ素子が n 個毎に直列接続されるとともにそれらのコンデンサ直列回路が m 列に並列接続され、前記第 2 のフェーズでは前記 $n \times m$ 個のコンデンサ素子が m 個毎に直列接続されるとともにそれらのコンデンサ直列回路が n 列に並列接続される請求項 1 に記載の DC/DC コンバータ。

【請求項 15】 前記 $n \times m$ 個のコンデンサ素子がほぼ同一のキャパシタンスを有する請求項 14 に記載の DC/DC コンバータ。

【請求項 16】 前記第 1 のフェーズのデューティ比を約 $m/(n+m)$ に設定し、前記第 2 のフェーズのデューティ比を約 $n/(n+m)$ に設定する請求項 14 または 15 に記載の DC/DC コンバータ。

【請求項 17】 前記第 1 のコンデンサが第 1、第 2、第 3 および第 4 のコンデンサ素子からなり、前記スイッチ回路網が、

第 1 の端子が前記電圧入力端子に接続され、第 2 の端子が前記第 3 のコンデンサ素子の第 1 の端子に接続された第 1 の MOS トランジスタと、

第 1 の端子が前記第 3 のコンデンサ素子の第 1 の端子に接続され、第 2 の端子

が前記第1のコンデンサ素子の第1の端子に接続された第2のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第1のコンデンサ素子の第2の端子に接続された第3のMOSトランジスタと、

第1の端子が前記第1のコンデンサ素子の第2の端子に接続され、第2の端子が前記第2のコンデンサ素子の第1の端子に接続された第4のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第2のコンデンサ素子の第2の端子に接続された第5のMOSトランジスタと、

第1の端子が前記第3のコンデンサ素子の第2の端子に接続され、第2の端子が前記第4のコンデンサ素子の第1の端子に接続された第6のMOSトランジスタと、

第1の端子が前記第1のコンデンサ素子の第1の端子に接続され、第2の端子が前記第3のコンデンサ素子の第2の端子に接続された第7のMOSトランジスタと、

第1の端子が前記第2のコンデンサ素子の第1の端子に接続され、第2の端子が前記第4のコンデンサ素子の第2の端子に接続された第8のMOSトランジスタと、

第1の端子が前記第2のコンデンサ素子の第2の端子に接続され、第2の端子が前記第4のコンデンサ素子の第2の端子に接続された第9のMOSトランジスタと、

第1の端子が前記電圧入力端子に接続され、第2の端子が前記第2のコンデンサの第1の端子に接続された第10のMOSトランジスタと、

第1の端子が前記第4のコンデンサ素子の第2の端子に接続され、第2の端子が前記第2のコンデンサの第2の端子に接続された第11のMOSトランジスタと、

第1の端子が前記第2のコンデンサの第2の端子に接続され、第2の端子が前記基準電位に接続された第12のMOSトランジスタと、

第1の端子が前記第3のコンデンサ素子の第1の端子に接続され、第2の端子

が前記電圧出力端子に接続された第13のMOSトランジスタと、

第1の端子が前記第4のコンデンサ素子の第1の端子に接続され、第2の端子が前記電圧出力端子に接続された第14のMOSトランジスタと、

第1の端子が前記第2のコンデンサの第1の端子に接続され、第2の端子が前記電圧出力端子に接続された第15のMOSトランジスタと

を有し、前記スイッチング制御手段が、

前記第1のフェーズ中は、前記第1、第2、第4、第6、第9、第11および第15のMOSトランジスタをそれぞれオン状態にするとともに前記第3、第5、第7、第8、第10、第12、第13および第14のMOSトランジスタをそれぞれオフ状態にし、

前記第2のフェーズ中は、前記第1、第2、第4、第6、第9、第11および第15のMOSトランジスタをそれぞれオフ状態にするとともに前記第3、第5、第7、第8、第10、第12、第13および第14のMOSトランジスタをそれぞれオン状態にする請求項14～16のいずれか一項に記載のDC/DCコンバータ。

【請求項18】 第1の端子が前記電圧出力端子に接続され、第2の端子が基準電位に接続された平滑用の第3のコンデンサを有する請求項1～17のいずれか一項に記載のDC/DCコンバータ。

【請求項19】 前記電圧入力端子と前記第1のコンデンサとの間に直列に接続された電流制御回路と、

前記電圧出力端子に得られる出力電圧を検出する電圧検出手段と、

前記電圧出力端子より出力される出力電圧の設定値に対応した基準電圧を発生する基準電圧発生手段と、

前記電圧検出手段によって検出された前記出力電圧の電圧値を前記基準電圧と比較して、その比較誤差に応じて前記電流制御回路の電流値を制御する電流制御手段と

を有する請求項1～18のいずれか一項に記載のDC/DCコンバータ。

【請求項20】 前記第1のフェーズと前記第2のフェーズとの間のフェーズ切り換え期間中に前記MOSトランジスタの全部をいったん同時にオフ状態する

請求項 5、9、13、17 のいずれか一項に記載の DC/DC コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、チャージポンプ型の DC/DC コンバータに関する。

【0002】

【従来の技術】

DC/DC コンバータは、典型的には、直流電源より出力される不安定なレベルの電源電圧を安定した所望レベルの電圧に変換するために利用されている。チャージポンプ型の DC/DC コンバータは、エネルギー蓄積素子としてコンデンサを使用し、コイルまたはリアクトルを必要としないため、小型・安価で EMI (electromagnetic interference) が少ないという利点がある一方で、電圧リップルが大きいという課題がある。

【0003】

図 13 に、従来のチャージポンプ型 DC/DC コンバータの原理を示す。この DC/DC コンバータは、1.5 倍昇圧用のもので、直流電源 120 の出力（正極）端子に接続される電圧入力端子 122 と、2つのフライング・コンデンサ C_a 、 C_b と、平滑用のコンデンサ C_s と、負荷（図示せず）に接続される電圧出力端子 124 とを有している。平滑コンデンサ C_s は、定常的に電圧出力端子 124 とグランド電位との間に接続されている。フライング・コンデンサ C_a 、 C_b は、図 13 の (A) に示すようなフェーズ I の結線状態と図 13 の (B) に示すようなフェーズ II の結線状態とに交互に切り換えられる。

【0004】

より詳細には、フェーズ I では、電圧入力端子 122 とグランド電位との間で、両フライング・コンデンサ C_a 、 C_b がそれぞれの正極端子（+）を電圧入力端子 122 側に向けるようにして直列に接続される。この結線状態の下で、両フライング・コンデンサ C_a 、 C_b は直流電源 120 からグランドへ流れる電流によって充電される。ここで、両フライング・コンデンサ C_a 、 C_b のそれぞれのキャパシタンスを等しい値に設定すると、直流電源 120 の出力電圧つまり電源電圧 V

v_{in} に対して両フライング・コンデンサ C_a , C_b のいずれも $0.5 V_{in}$ に充電される。この間、平滑コンデンサ C_s は電圧出力端子 124 を介して負荷側に放電し、負荷に対する出力電圧 V_{out} の供給を維持する。

【0005】

フェーズIIでは、電圧入力端子 122 と電圧出力端子 124 との間で、両フライング・コンデンサ C_a , C_b がそれぞれの正極端子 (+) を電圧出力端子 124 側に向けるようにして並列に接続される。この結線状態の下では、直流電源 120 からの電源電圧 V_{in} に両フライング・コンデンサ C_a , C_b の充電電圧 $0.5 V_{in}$ が足し合わさった電圧 $1.5 V_{in}$ が電圧出力端子 124 を介して負荷および平滑コンデンサ C_s に供給される。

【0006】

このDC/DCコンバータにおいて、フェーズIとフェーズIIとを繰り返し交互に切り換えると、図14に示すように、フェーズIの期間中はほぼ単調に増大しフェーズIIの期間中はほぼ単調に減少する略鋸波の出力電圧 v_{out} が得られる。

【0007】

図15に、このDC/DCコンバータの具体的な回路構成を示す。図示のスイッチ回路網において、NチャネルMOSトランジスタ（以下、「NMOSトランジスタ」と称する。）126, 128, 130は、それぞれのゲート端子にスイッチング制御回路（図示せず）からの制御信号 ϕ を入力し、フェーズIの期間中はオン状態になり、フェーズIIの期間中はオフ状態になる。一方、NMOSトランジスタ132, 134, 136, 138は、それぞれのゲート端子に該スイッチング制御回路より上記制御信号 ϕ とは位相が 180° ずれた制御信号 ϕ_{-} を受け取り、フェーズIの期間中はオフ状態になり、フェーズIIの期間中にオン状態になる。

【0008】

【発明が解決しようとする課題】

上記のように、従来のチャージポンプ型DC/DCコンバータにおいては、フェーズIの期間中に、直流電源120からの電流パスに両フライング・コンデンサ C_a , C_b は接続されるものの、直流電源120と電圧出力端子124との間に

電流パスは形成されず、平滑コンデンサ C_s の放電に依存するだけの出力電圧 v_{out} は比較的急な勾配で電圧レベルを下げる。このため、出力電圧 v_{out} に大きな電圧リップルが生じる。

【0009】

本発明は、かかる従来技術の問題点に鑑みてなされたもので、出力電圧のリップル特性を大幅に改善するチャージポンプ型のDC/DCコンバータを提供することを目的とする。

【0010】

本発明の別の目的は、昇圧率の段階的または精細な可変調整を容易に行えるチャージポンプ型のDC/DCコンバータを提供することにある。

【0011】

【課題を解決するための手段】

上記の目的を達成するために、本発明のチャージポンプ型DC/DCコンバータは、直流電源の出力に接続された電圧入力端子と、第1および第2のコンデンサと、負荷に接続される電圧出力端子と、第1のフェーズでは、前記第1のコンデンサの第1の端子を前記電圧入力端子に接続し、前記第2のコンデンサの第1の端子を前記電圧出力端子に接続し、前記第1のコンデンサの第2の端子と前記第2のコンデンサの第2の端子とを相互に接続し、第2のフェーズでは、前記第1のコンデンサの第1および第2の端子を前記電圧出力端子および前記電圧入力端子にそれぞれ接続し、前記第2のコンデンサの第1および第2の端子を前記電圧入力端子および基準電位にそれぞれ接続するスイッチ回路網と、前記第1のフェーズと前記第2のフェーズとを所定のデューティ比で交互に切り換えるように前記スイッチ回路網を制御するスイッチング制御手段とを有する。なお、コンデンサは、複数のコンデンサ素子を有する構成を含む。

【0012】

本発明のチャージポンプ型DC/DCコンバータによれば、第1のフェーズでは、電圧入力端子と電圧出力端子との間に第1および第2のコンデンサを介した電流パスが形成され、第1のコンデンサが直流電源からの電流によって充電されると同時に第2のコンデンサが放電して電圧出力端子側に負荷電流を供給する。

また、第2のフェーズでは、電圧入力端子と電圧出力端子との間に第1のコンデンサを介した電流パスが形成されるとともに、電圧入力端子と基準電位（たとえばグランド電位）との間に第2のコンデンサを介した電流パスが形成され、第1のコンデンサが放電して電圧出力端子側に負荷電流を供給する一方で、第2のコンデンサが直流電源からの電流によって充電される。このように、第1および第2のフェーズのいずれにおいても、電圧入力端子と電圧出力端子14との間に電流パスが形成され、直流電源からの電力が中断なく負荷に供給され続けるので、出力電圧の電圧レベルが設定値付近に安定に維持される。

【0013】

本発明の一態様によれば、第1のコンデンサが1個のコンデンサ素子からなる。この場合、第1のコンデンサのキャパシタンスを第2のコンデンサのキャパシタンスにほぼ等しい値に設定するのが好ましい。また、第1および第2のフェーズのデューティ比をそれぞれ約1/2に設定してよい。

【0014】

本発明の好適な一態様によれば、スイッチ回路網が、第1の端子が電圧入力端子に接続され、第2の端子が第1のコンデンサの第1の端子に接続された第1のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第1のコンデンサの第2の端子に接続された第2のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサの第1の端子に接続された第3のMOSトランジスタと、第1の端子が第1のコンデンサの第2の端子に接続され、第2の端子が第2のコンデンサの第2の端子に接続された第4のMOSトランジスタと、第1の端子が第2のコンデンサの第2の端子に接続され、第2の端子が基準電位に接続された第5のMOSトランジスタと、第1の端子が第1のコンデンサの第1の端子に接続され、第2の端子が電圧出力端子に接続された第6のMOSトランジスタと、第1の端子が第2のコンデンサの第1の端子に接続され、第2の端子が電圧出力端子に接続された第7のMOSトランジスタとを有する。この場合、スイッチング制御手段が、第1のフェーズ中は、第1、第4および第7のMOSトランジスタをそれぞれオン状態にするとともに第2、第3、第5および第6のMOSトランジスタをそれぞれオフ状態にし、第

2のフェーズ中は、第1、第4および第7のMOSトランジスタをそれぞれオフ状態にするとともに第2、第3、第5および第6のMOSトランジスタをそれぞれオン状態にしてよい。

【0015】

本発明の一態様によれば、第1のコンデンサが n 個（ n は2以上の整数）のコンデンサ素子からなり、第1のフェーズではそれら n 個のコンデンサ素子が互いに直列接続され、第2のフェーズではそれら n 個のコンデンサ素子が互いに並列接続される。この場合、それら n 個のコンデンサ素子がほぼ同一のキャパシタンスを有するのが好ましい。また、好ましくは、第1のフェーズのデューティ比を約 $1/(n+1)$ に設定し、第2のフェーズのデューティ比を約 $n/(n+1)$ に設定するのが好ましい。昇圧率は $\{1+1/(n+1)\}$ で与えられ、 n の値を変えることによって段階的に可変調整できる。

【0016】

本発明の一態様によれば、 $n=2$ の場合において、第1のコンデンサが第1および第2のコンデンサ素子からなり、スイッチ回路網が、第1の端子が電圧入力端子に接続され、第2の端子が第1のコンデンサ素子の第1の端子に接続された第1のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第1のコンデンサ素子の第2の端子に接続された第2のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第2の端子に接続され、第2の端子が第2のコンデンサ素子の第1の端子に接続された第3のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサ素子の第2の端子に接続された第4のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサの第1の端子に接続された第5のMOSトランジスタと、第1の端子が第2のコンデンサ素子の第2の端子に接続され、第2の端子が第2のコンデンサの第2の端子に接続された第6のMOSトランジスタと、第1の端子が第2のコンデンサの第2の端子に接続され、第2の端子が基準電位に接続された第7のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第1の端子に接続され、第2の端子が電圧出力端子に接続された第8のMOSトランジスタと、第1の端子が第2のコンデンサ素子の第1の端子

に接続され、第2の端子が電圧出力端子に接続された第9のMOSトランジスタと、第1の端子が第2のコンデンサの第1の端子に接続され、第2の端子が電圧出力端子に接続された第10のMOSトランジスタとを有してよい。この場合、好ましくは、スイッチング制御手段が、第1のフェーズ中は、第1、第3、第6および第10のMOSトランジスタをそれぞれオン状態にするとともに第2、第4、第5、第7、第8および第9のMOSトランジスタをそれぞれオフ状態にし、第2のフェーズ中は、第1、第3、第6および第10のMOSトランジスタをそれぞれオフ状態にするとともに第2、第4、第5、第7、第8および第9のMOSトランジスタをそれぞれオン状態にしてよい。

【0017】

本発明の一態様によれば、第1のコンデンサが n 個（ n は2以上の整数）のコンデンサ素子からなり、第1のフェーズではそれら n 個のコンデンサ素子が互いに並列接続され、第2のフェーズではそれら n 個のコンデンサ素子が互いに直列接続される。この場合、それら n 個のコンデンサ素子がほぼ同一のキャパシタンスを有するのが好ましい。また、第1のフェーズのデューティ比を約 $n/(n+1)$ に設定し、第2のフェーズのデューティ比を約 $1/(n+1)$ に設定するのが好ましい。昇圧率は $\{2-1/(n+1)\}$ で与えられ、 n の値を変えることによって段階的に可変調整できる。

【0018】

本発明の一態様によれば、 $n=2$ の場合において、第1のコンデンサが第1および第2のコンデンサ素子からなり、スイッチ回路網が、第1の端子が電圧入力端子に接続され、第2の端子が第1のコンデンサ素子の第1の端子に接続された第1のMOSトランジスタと、第1の端子が第1のMOSトランジスタの第2の端子に接続され、第2の端子が第2のコンデンサ素子の第1の端子に接続された第2のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第2の端子に接続され、第2の端子が第2のコンデンサ素子の第1の端子に接続された第3のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサ素子の第2の端子に接続された第4のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第2の端子に接続され、第2の端子が第2

のコンデンサ素子の第2の端子に接続された第5のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサの第1の端子に接続された第6のMOSトランジスタと、第1の端子が第2のコンデンサ素子の第2の端子に接続され、第2の端子が第2のコンデンサの第2の端子に接続された第7のMOSトランジスタと、第1の端子が第2のコンデンサの第2の端子に接続され、第2の端子が基準電位に接続された第8のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第1の端子に接続され、第2の端子が電圧出力端子に接続された第9のMOSトランジスタと、第1の端子が第2のコンデンサの第1の端子に接続され、第2の端子が電圧出力端子に接続された第10のMOSトランジスタとを有する。この場合は、スイッチング制御手段が、第1のフェーズ中は、第1、第2、第5、第7および第10のMOSトランジスタをそれぞれオン状態にするとともに第3、第4、第6、第8および第9のMOSトランジスタをそれぞれオフ状態にし、第2のフェーズ中は、第1、第2、第5、第7および第10のMOSトランジスタをそれぞれオフ状態にするとともに第3、第4、第6、第8および第9のMOSトランジスタをそれぞれオン状態にしてよい。

【0019】

本発明の一態様によれば、第1のコンデンサが $n \times m$ 個（ n および m はそれぞれ2以上の整数）のコンデンサ素子からなり、第1のフェーズではそれら $n \times m$ 個のコンデンサ素子が n 個毎に直列接続されるとともにそれらのコンデンサ直列回路が m 列に並列接続され、第2のフェーズではそれら $n \times m$ 個のコンデンサ素子が m 個毎に直列接続されるとともにそれらのコンデンサ直列回路が n 列に並列接続される。この場合、それら $n \times m$ 個のコンデンサ素子がほぼ同一のキャパシタンスを有するのが好ましい。また、第1のフェーズのデューティ比を約 $m / (n + m)$ に設定し、第2のフェーズのデューティ比を約 $n / (n + m)$ に設定するのが好ましい。昇圧率は $\{1 + m / (n + m)\}$ で与えられ、 n 、 m の値を変えることによって段階的に可変調整できる。

【0020】

本発明の一態様によれば、 $n = 2$ 、 $m = 2$ の場合において、第1のコンデンサ

が第1、第2、第3および第4のコンデンサ素子からなり、スイッチ回路網が、第1の端子が電圧入力端子に接続され、第2の端子が第3のコンデンサ素子の第1の端子に接続された第1のMOSトランジスタと、第1の端子が第3のコンデンサ素子の第1の端子に接続され、第2の端子が第1のコンデンサ素子の第1の端子に接続された第2のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第1のコンデンサ素子の第2の端子に接続された第3のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第2の端子に接続され、第2の端子が第2のコンデンサ素子の第1の端子に接続された第4のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサ素子の第2の端子に接続された第5のMOSトランジスタと、第1の端子が第3のコンデンサ素子の第2の端子に接続され、第2の端子が第4のコンデンサ素子の第1の端子に接続された第6のMOSトランジスタと、第1の端子が第1のコンデンサ素子の第1の端子に接続され、第2の端子が第3のコンデンサ素子の第2の端子に接続された第7のMOSトランジスタと、第1の端子が第2のコンデンサ素子の第1の端子に接続され、第2の端子が第4のコンデンサ素子の第2の端子に接続された第8のMOSトランジスタと、第1の端子が第2のコンデンサ素子の第2の端子に接続され、第2の端子が第4のコンデンサ素子の第2の端子に接続された第9のMOSトランジスタと、第1の端子が電圧入力端子に接続され、第2の端子が第2のコンデンサの第1の端子に接続された第10のMOSトランジスタと、第1の端子が第4のコンデンサ素子の第2の端子に接続され、第2の端子が第2のコンデンサの第2の端子に接続された第11のMOSトランジスタと、第1の端子が第2のコンデンサの第2の端子に接続され、第2の端子が基準電位に接続された第12のMOSトランジスタと、第1の端子が第3のコンデンサ素子の第1の端子に接続され、第2の端子が電圧出力端子に接続された第13のMOSトランジスタと、第1の端子が第4のコンデンサ素子の第1の端子に接続され、第2の端子が電圧出力端子に接続された第14のMOSトランジスタと、第1の端子が第2のコンデンサの第1の端子に接続され、第2の端子が電圧出力端子に接続された第15のMOSトランジスタと有してよい。この場合、スイッチング制御手段が、第1のフェーズ中は、第1、第2、第4、第

6、第9、第11および第15のMOSトランジスタをそれぞれオン状態にするとともに第3、第5、第7、第8、第10、第12、第13および第14のMOSトランジスタをそれぞれオフ状態にし、第2のフェーズ中は、第1、第2、第4、第6、第9、第11および第15のMOSトランジスタをそれぞれオフ状態にするとともに第3、第5、第7、第8、第10、第12、第13および第14のMOSトランジスタをそれぞれオン状態にしてよい。

【0021】

本発明の好適な一態様によれば、出力電圧のリップルを一層小さくするために、第1の端子が電圧出力端子に接続され、第2の端子が基準電位に接続された平滑用の第3のコンデンサが設けられる。また、好適な一態様によれば、出力電圧のリップルをより一層小さくするとともに、出力電圧の精細な設定調整を可能とするために、電圧入力端子と第1のコンデンサとの間に直列に接続された電流制御回路と、電圧出力端子に得られる出力電圧を検出する電圧検出手段と、電圧出力端子より出力される出力電圧の設定値に対応した基準電圧を発生する基準電圧発生手段と、電圧検出手段によって検出された出力電圧の電圧値を基準電圧と比較して、その比較誤差に応じて電流制御回路の電流値を制御する電流制御手段とが設けられる。また、第1のフェーズと第2のフェーズとの間のフェーズ切り換え期間中にMOSトランジスタの全部をいったん同時にオフ状態するのも好ましい。

【0022】

【発明の実施の形態】

以下、図1～図12を参照して本発明の好適な実施の形態を説明する。

【0023】

図1に、本発明の第1の実施形態におけるチャージポンプ型DC/DCコンバータの原理を示す。

【0024】

このDC/DCコンバータは、1.5倍昇圧用のもので、直流電源10の出力（正極）端子に接続される電圧入力端子12と、各々1個のコンデンサ素子からなる一対のフライング・コンデンサ C_a 、 C_b と、平滑用のコンデンサ C_s と、負

荷（図示せず）に接続される電圧出力端子 14 とを有している。平滑コンデンサ C_s は、定常的に電圧出力端子 14 とグランド電位との間に接続されている。フライング・コンデンサ C_a 、 C_b は、図 1 の（A）に示すようなフェーズ I の結線状態と図 1 の（B）に示すようなフェーズ II の結線状態とに交互に切り換えられる。

【0025】

より詳細には、フェーズ I では、電圧入力端子 12 と電圧出力端子 14 との間に両フライング・コンデンサ C_a 、 C_b が直列に接続される。ここで、フライング・コンデンサ C_a の正極端子は電圧入力端子 12 に接続され、フライング・コンデンサ C_b の正極端子は電圧出力端子 14 に接続され、両フライング・コンデンサ C_a 、 C_b の負極端子（-）は相互に接続される。この結線状態の下では、フライング・コンデンサ C_a が直流電源 10 から供給される電流によって充電され、フライング・コンデンサ C_b が負荷側に向けて放電する。平滑コンデンサ C_s は、その充電電圧とフライング・コンデンサ C_b の出力電圧と負荷側の電圧との間の電圧差に応じて、フライング・コンデンサ C_b からの電流を吸収（充電）するか、もしくは負荷側に向けて自ら放電し、出力電圧 V_{out} の変動を小さくするように働く。

【0026】

フェーズ II では、電圧入力端子 12 と電圧出力端子 14 との間にフライング・コンデンサ C_a が接続される一方で、電圧入力端子 12 とグランド電位との間にフライング・コンデンサ C_b が接続される。ここで、フライング・コンデンサ C_a は、正極端子（+）が電圧出力端子 14 に接続され、負極端子（-）が電圧入力端子 12 に接続される。また、フライング・コンデンサ C_b は、正極端子（+）が電圧入力端子 12 に接続され、負極端子（-）がグランド電位に接続される。この結線状態の下では、フライング・コンデンサ C_a は負荷側に向けて放電し、フライング・コンデンサ C_b は直流電源 10 から供給される電流によって充電される。平滑コンデンサ C_s は、その充電電圧とフライング・コンデンサ C_a の出力電圧と負荷側の電圧との間の電圧差に応じて、フライング・コンデンサ C_a からの電流を吸収（充電）するか、もしくは負荷側に向けて自ら放電し、出力電圧 V

v_{out} の変動を抑えるように働く。

【0027】

ここで、電圧出力端子14に得られる出力電圧 V_{out} は次のようにして求められる。すなわち、フライング・コンデンサ C_a 、 C_b の充電電圧または電圧降下をそれぞれ V_{Ca} 、 V_{Cb} とすると、フェーズIIではフライング・コンデンサ C_a について次式(1)が成立し、フライング・コンデンサ C_b について次式(2)が成立する。

$$V_{Ca} = V_{out} - V_{in} \quad \dots\dots (1)$$

$$V_{Cb} = V_{in} \quad \dots\dots (2)$$

【0028】

フェーズIでは、上記のように電圧入力端子12と電圧出力端子14との間にフライング・コンデンサ C_a 、 C_b が上記のような極性の向きで直列に接続されることにより、次式(3)が成立する。

$$V_{out} = V_{in} - V_{Ca} + V_{Cb} \quad \dots\dots (3)$$

【0029】

式(3)に式(1)、(2)を代入すると、次式(4)が導かれる。

$$V_{out} = 1.5 V_{in} \quad \dots\dots (4)$$

【0030】

このように、この実施形態では、フライング・コンデンサ C_a 、 C_p のキャパシタンスに特別な条件($C_a = C_b$)を設定しなくても、約1.5倍の昇圧を実現することができる。

【0031】

このDC/DCコンバータにおいて、フェーズIとフェーズIIとを繰り返し交互に切り換えると、図2に示すように、フェーズIおよびフェーズIIのいずれの期間中も電圧レベルの安定化したほぼ平坦な波形の出力電圧 v_{out} が得られる。すなわち、フェーズIおよびフェーズIIのいずれにおいても、電圧入力端子12と電圧出力端子14との間に電流パスが形成され、直流電源10からの電力が間断なく負荷に供給され続けるので、出力電圧 V_{out} の電圧レベルが設定値(約1.5 V_{in})付近に安定に維持される。

【0032】

図3に、この実施形態において上記のようなフェーズIとフェーズII間の切り換えを実現するためのスイッチ回路網の構成例を示す。このスイッチ回路網は、スイッチ素子として2個のNMOSトランジスタ22, 24と5個のPチャネルMOSトランジスタ（以下、「PMOSトランジスタ」と称する。）16, 18, 20, 26, 28を含む。

【0033】

PMOSトランジスタ16は、ソース端子が電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ C_a の正極端子に接続されている。PMOSトランジスタ18は、ソース端子が電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ C_a の負極端子に接続されている。PMOSトランジスタ20は、ソース端子が電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ C_b の正極端子に接続されている。NMOSトランジスタ22は、ドレイン端子がフライング・コンデンサ C_a の負極端子に接続され、ソース端子がフライング・コンデンサ C_b の負極端子に接続されている。NMOSトランジスタ24は、ドレイン端子がフライング・コンデンサ C_b の負極端子に接続され、ソース端子がグランド電位に接続されている。PMOSトランジスタ26は、ドレイン端子がフライング・コンデンサ C_a の正極端子に接続され、ソース端子が電圧出力端子14に接続されている。PMOSトランジスタ28は、ドレイン端子がフライング・コンデンサ C_b の正極端子に接続され、ソース端子が電圧出力端子14に接続されている。

【0034】

NMOSトランジスタ22のゲート端子には、クロック回路30よりクロック信号 ϕ_N が与えられる。NMOSトランジスタ24のゲート端子には、クロック回路30よりクロック信号 ϕ_{N-} が与えられる。PMOSトランジスタ16, 28のゲート端子には、クロック回路30よりクロック信号 ϕ_P が与えられる。NMOSトランジスタ18, 20, 26のゲート端子には、クロック回路30よりクロック信号 ϕ_{P-} が与えられる。クロック信号 ϕ_N , ϕ_{N-} , ϕ_P , ϕ_{P-} は、それぞれ図3に示す信号波形を有し、 ϕ_N は ϕ_P の反転信号であり、 ϕ_{N-} は ϕ_{P-} の反転信号

である。

【0035】

PMOSトランジスタ26がオン状態のとき、コンデンサ C_a の正極端子はほぼ出力電圧と等しくなる。この時、PMOSトランジスタ16の寄生ダイオードがオンして電圧出力端子14と電圧入力端子12とが短絡することを防止するために、PMOSトランジスタ16のバックゲートをコンデンサ C_a の正極端子に接続して、PMOSトランジスタ26がオン状態のときにPMOSトランジスタ16が逆バイアス状態となるようにしている。PMOSトランジスタ28がオン状態のとき、コンデンサ C_b の正極端子はほぼ出力電圧と等しくなる。この時、PMOSトランジスタ20の寄生ダイオードがオンして電圧出力端子14と電圧入力端子12とが短絡することを防止するために、PMOSトランジスタ20のバックゲートをコンデンサ C_b の正極端子に接続して、PMOSトランジスタ28がオン状態のときにPMOSトランジスタ20が逆バイアス状態となるようにしている。

【0036】

ϕ_N 、 ϕ_{P-} がHレベルで ϕ_{N-} 、 ϕ_P がLレベルのときは、トランジスタ16、22、28がそれぞれオン状態で、トランジスタ18、20、24、26がそれぞれオフ状態となり、図1の(A)に示すようなフェーズIの結線状態が得られる。クロックサイクル(周波数 F_{osc})の周期を T_s ($1/F_{osc}$)、 ϕ_N のHレベル持続時間(ϕ_P のLレベル持続時間)を T_ϕ とすると、フェーズIのデューティ比は T_ϕ/T_s で与えられる。

【0037】

ϕ_N 、 ϕ_{P-} がLレベルで ϕ_{N-} 、 ϕ_P がHレベルのときは、トランジスタ16、22、28がそれぞれオフ状態で、トランジスタ18、20、24、26がそれぞれオン状態となり、図1の(B)に示すようなフェーズIIの結線状態が得られる。 ϕ_{N-} のHレベル持続時間(ϕ_{P-} のLレベル持続時間)を $T_{\phi-}$ とすると、フェーズIIのデューティ比は $T_{\phi-}/T_s$ で与えられる。

【0038】

フェーズIからフェーズIIへの、またはその逆のフェーズ切り換え期間中に、

クロック信号 ϕ_N , ϕ_{N-} が同時に L レベルになり、かつクロック信号 ϕ_P , ϕ_{P-} が同時に H レベルになる期間 T_g を設け、トランジスタ 16 ~ 28 の全部をいったん同時にオフ状態にするのが好ましい。

【0039】

この実施形態の DC/DC コンバータでは、上記のように、両フライング・コンデンサ C_a , C_b のキャパシタンスが違っていても、1.5 倍の昇圧を実現できる。もっとも、通常は、両フライング・コンデンサまたはコンデンサ素子 C_a , C_b のキャパシタンスを同一の値に設定してよい。また、両フェーズ I, II のデューティ比も等しい値 (約 0.5) に設定してよい。

【0040】

図 4 に、この実施形態の DC/DC コンバータにおけるシミュレーションの出力電圧波形を従来例 (図 15) と対比して示す。主な条件として、 $V_{in} = 2.4$ V、 $C_a = C_b = 0.1 \mu F$ 、 $I_{out} = 2$ mA、 $F_{osc} = 100$ kHz に設定している。従来例の電圧リップルは約 12 mV であるのに対して、実施例の電圧リップルは約 4 mV であり、リップル率は約 1/3 に改善されている。

【0041】

図 5 に、本発明の第 2 の実施形態によるチャージポンプ型 DC/DC コンバータの要部の構成を示す。この実施形態は、上記した第 1 の実施形態による DC/DC コンバータにおいて出力電圧 V_{out} の電圧レベルをより安定化させるための帰還回路 32 を設けたものである。

【0042】

この帰還回路 32 は、電圧入力端子 12 とフライング・コンデンサ C_a との間に接続される電流制御回路 34 と、電圧出力端子 14 とグランド電位との間に直列接続された 2 つの抵抗 $R1$, $R2$ からなる電圧検出用の抵抗分圧回路 36 と、出力電圧 V_{out} の設定値に対応した基準電圧 V_{REF} を発生する基準電圧発生器 38 と、抵抗分圧回路 36 の出力電圧 $K V_{out}$ (K は係数) を基準電圧 V_{REF} と比較して比較誤差電圧 E_S を出力するコンパレータ 40 とを有する。

【0043】

電流制御回路 34 は、たとえば PMOS トランジスタからなり、そのゲート端

子に受け取るコンパレータ 40 からの比較誤差電圧 E_S に応じて、直流電源 10 からフライング・コンデンサ C_a (または C_a, C_b) を介して電圧出力端子 14 側に供給する電流を制御する。より詳細には、出力電圧 V_{out} が設定値よりも高いときは、比較誤差の絶対値に比例してコンパレータ 40 の出力 (比較誤差電圧) E_S が高くなって、電流制御回路 34 は電流を減少させるように働く。出力電圧 V_{out} が設定値よりも低いときは、比較誤差の絶対値に比例してコンパレータ 40 の出力 (比較誤差電圧) E_S が低くなって、電流制御回路 34 は電流を増大させるように働く。基準電圧発生器 38 は、たとえばバンドギャップ回路からなり、基準電圧 V_{REF} を可変調整できるようになっている。

【0044】

図 6 の (A) に、この実施形態 (図 5) の DC/DC コンバータにおけるシミュレーションの出力電圧波形を従来例 (図 15) と対比して示す。図 6 の (B) に、縦軸 (出力電圧) のスケールを拡大して実施例の出力電圧波形を示す。主な条件として、 $V_{in}=2.4\text{ V}$ 、 $V_{out}=3.3\text{ V}$ 、 $C_a=C_b=0.1\text{ }\mu\text{F}$ 、 $I_{out}=2\text{ mA}$ 、 $F_{osc}=100\text{ kHz}$ に設定している。従来例の電圧リップルは約 11 mV であるのに対して、実施例の電圧リップルは約 0.4 mV であり、リップル率は約 $1/28$ に改善されている。

【0045】

また、このような帰還回路 32 を備える場合は、基準電圧発生器 38 の基準電圧 V_{REF} を可変調整することによって、出力電圧 V_{out} の精細な設定または微調整を行うこともできる。

【0046】

なお、図 6 の (B) に示すように、本実施例では、スイッチングサイクルの半サイクル毎に出力電圧 V_{out} が一瞬ドロップする。このドロップ DR は、フェーズ I からフェーズ II への、またはその逆の移行期にスイッチ回路網 (図 3) において全部のトランジスタ 16 ~ 28 が同時にオフして、電圧入力端子 12 または直流電源 10 側から電圧出力端子 14 側が遮断されるためである。

【0047】

図 7 に、本発明の第 3 の実施形態によるチャージポンプ型 DC/DC コンバー

タの原理を示す。この実施形態は、第1のフライング・コンデンサ C_a を n 個 (n は2以上の整数) のコンデンサ素子 C_{a1}, \dots, C_{an} で構成し、フェーズIではこれら n 個のコンデンサ素子 C_{a1}, \dots, C_{an} を互いに直列に接続し、フェーズIIではこれら n 個のコンデンサ素子 C_{a1}, \dots, C_{an} を互いに並列に接続することを特徴とする。他の部分は、上記第1または第2の実施形態と同じである。

【0048】

より詳細には、フェーズIでは、図7の(A)に示すように、 n 個のコンデンサ素子 C_{a1}, \dots, C_{an} が、各々の正極端子を電圧入力端子12側に向けて互いに直列に接続され、1つのコンデンサ直列回路を形成する。フェーズIIでは、図7の(B)に示すように、これら n 個のコンデンサ素子 C_{a1}, \dots, C_{an} が、各々の正極端子を電圧出力端子14側に向けて互いに並列に接続され、1つのコンデンサ並列回路を形成する。好ましくは、各コンデンサ素子 C_{a1}, \dots, C_{an} のキャパシタンスを同一の値に設定してよい。

【0049】

この実施形態において、電圧出力端子14に得られる出力電圧 V_{out} は次のようにして求められる。すなわち、フライング・コンデンサ C_a を構成する各コンデンサ素子 C_{a1}, \dots, C_{an} の充電電圧または電圧降下をそれぞれ V_{Ca} とし、フライング・コンデンサ C_b の充電電圧または電圧降下を V_{Cb} とすると、フェーズIではフライング・コンデンサ C_a の各コンデンサ素子について次式(5)が成立し、フライング・コンデンサ C_b について次式(6)が成立する。

$$V_{Ca} = V_{out} - V_{in} \quad \dots\dots (5)$$

$$V_{Cb} = V_{in} \quad \dots\dots (6)$$

【0050】

フェーズIでは、上記のように電圧入力端子12と電圧出力端子14との間に n 個のフライング・コンデンサ素子 C_{a1}, \dots, C_{an} とフライング・コンデンサ C_b が上記のような極性の向きで直列に接続されることにより、次式(7)が成立する。

$$V_{out} = V_{in} - n V_{Ca} + V_{Cb} \quad \dots\dots (7)$$

【0051】

式(7)に式(5), (6)を代入すると、次式(8)が導かれる。

$$V_{out} = \{1 + 1 / (n + 1)\} V_{in} \quad \cdots \cdots (8)$$

【0052】

このように、この実施形態によれば、第1のフライング・コンデンサ C_a を構成する複数のコンデンサ素子 C_{a1}, \cdots, C_{an} の個数(n)に応じて昇圧率を一定の範囲内つまり1($n = \infty$ の場合)～1.33($n = 2$ の場合)の範囲内で段階的に調整することができる。

【0053】

また、この実施形態でも、帰還回路32を備えるので、出力電圧 V_{out} についてリップルを一層低減できるとともに、電圧レベルの精細な設定または微調整も可能である。

【0054】

なお、負荷電流の供給能力は、第1のフライング・コンデンサ C_a において n 個のフライング・コンデンサ素子 C_{a1}, \cdots, C_{an} が直列接続されるフェーズIと並列接続されるフェーズIIとでは1:nの違いがある。したがって、両フェーズI, IIのデューティ比を負荷電流供給能力に応じた関係(1:n)に設定することで、つまりフェーズIのデューティ比を $1 / (n + 1)$ 、フェーズIIのデューティ比を $n / (n + 1)$ にそれぞれ設定することで、両フェーズI, II間で負荷電流を均一化し、この実施形態による電圧リップルを最小限にすることができる。

【0055】

図8に、この実施形態において第1のフライング・コンデンサ C_a を2個のコンデンサ素子 C_{a1}, C_{a2} で構成する場合($n = 2$)のスイッチ回路網の構成例を示す。このスイッチ回路網は、スイッチ素子として3個のNMOSトランジスタ46, 52, 54と7個のPMOSトランジスタ42, 44, 48, 50, 56, 58, 60を含んでいる。

【0056】

PMOSトランジスタ42は、ソース端子が電流制御回路34を介して電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a1} の正極

端子に接続されている。PMOSトランジスタ44は、ソース端子が電流制御回路34を介して電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a1} の負極端子に接続されている。NMOSトランジスタ46は、ソース端子がフライング・コンデンサ素子 C_{a1} の負極端子に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a2} の正極端子に接続されている。PMOSトランジスタ48は、ソース端子が電流制御回路34を介して電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a2} の負極端子に接続されている。PMOSトランジスタ50は、ソース端子が電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ C_b の正極端子に接続されている。NMOSトランジスタ52は、ドレイン端子がフライング・コンデンサ素子 C_{a2} の負極端子に接続され、ソース端子がフライング・コンデンサ C_b の負極端子に接続されている。NMOSトランジスタ54は、ドレイン端子がフライング・コンデンサ C_b の負極端子に接続され、ソース端子がグランド電位に接続されている。PMOSトランジスタ56は、ドレイン端子がフライング・コンデンサ素子 C_{a1} の正極端子に接続され、ソース端子が電圧出力端子14に接続されている。PMOSトランジスタ58は、ドレイン端子がフライング・コンデンサ素子 C_{a2} の正極端子に接続され、ソース端子が電圧出力端子14に接続されている。PMOSトランジスタ60は、ドレイン端子がフライング・コンデンサ C_b の正極端子に接続され、ソース端子が電圧出力端子14に接続されている。

【0057】

NMOSトランジスタ46, 52のゲート端子には、クロック回路30よりクロック信号 ϕ_N が与えられる。NMOSトランジスタ54のゲート端子には、クロック回路30よりクロック信号 ϕ_{N-} が与えられる。PMOSトランジスタ42, 60のゲート端子には、クロック回路30よりクロック信号 ϕ_P が与えられる。PMOSトランジスタ44, 48, 50, 56, 58のゲート端子には、クロック回路30よりクロック信号 ϕ_{P-} が与えられる。クロック信号 ϕ_N , ϕ_{N-} , ϕ_P , ϕ_{P-} は、図3に示した各クロック信号と同様のものでよい。なお、PMOSトランジスタ42, 50のバックゲートは、図3のPMOSトランジスタ16, 20と同様の理由により、それぞれ、コンデンサ C_{a1} の正極端子、コンデンサ C_b

の正極端子に接続されている。

【0058】

ϕN , ϕP_{-} がHレベルで ϕN_{-} , ϕP がLレベルのときは、トランジスタ42, 46, 52, 60がそれぞれオン状態で、トランジスタ44, 48, 50, 54, 56, 58がそれぞれオフ状態となり、図7の(A)に示すようなフェーズIの結線状態が得られる。

【0059】

ϕN , ϕP_{-} がLレベルで ϕN_{-} , ϕP がHレベルのときは、トランジスタ42, 46, 52がそれぞれオフ状態で、トランジスタ44, 48, 50, 54, 56, 58がそれぞれオン状態となり、図7の(B)に示すようなフェーズIIの結線状態が得られる。

【0060】

この実施形態においても、フェーズ切り換え期間中に、クロック信号 ϕN , ϕN_{-} が同時にLレベルになり、かつクロック信号 ϕP , ϕP_{-} が同時にHレベルになる期間を設け、トランジスタ42～58の全部をいったん同時にオフ状態にするのが好ましい。

【0061】

図9に、本発明の第4の実施形態によるチャージポンプ型DC/DCコンバータの原理を示す。この実施形態は、第1のフライング・コンデンサ C_a を n 個(n は2以上の整数)のコンデンサ素子 C_{a1} , ..., C_{an} で構成し、フェーズIではこれらのコンデンサ素子 C_{a1} , ..., C_{an} を互いに並列に接続し、フェーズIIではこれらのコンデンサ素子 C_{a1} , ..., C_{an} を互いに直列に接続することを特徴とする。他の部分は、上記第1または第2の実施形態と同じである。

【0062】

より詳細には、フェーズIでは、図9の(A)に示すように、 n 個のコンデンサ素子 C_{a1} , ..., C_{an} が、各々の正極端子を電圧入力端子12側に向けて互いに並列に接続され、1つのコンデンサ並列回路を形成する。フェーズIIでは、図9の(B)に示すように、これら n 個のコンデンサ素子 C_{a1} , ..., C_{an} が、各々の正極端子を電圧出力端子14側に向けて互いに直列に接続され、1つのコン

デンサ直列回路を形成する。好ましくは、各コンデンサ素子 C_{a1}, \dots, C_{an} のキャパシタンスを同一の値に設定してよい。

【0063】

この実施形態において、電圧出力端子 14 に得られる出力電圧 V_{out} は次のようにして求められる。なお、フライング・コンデンサ C_a を構成する各コンデンサ素子 C_{a1}, \dots, C_{an} の充電電圧または電圧降下をそれぞれ V_{Ca} とし、フライング・コンデンサ C_b の充電電圧または電圧降下を V_{Cb} とする。フェーズ II では、フライング・コンデンサ C_a の各コンデンサ素子について次式 (9) が成立し、フライング・コンデンサ C_b について次式 (10) が成立する。

$$V_{Ca} = (V_{out} - V_{in}) / n \quad \dots\dots (9)$$

$$V_{Cb} = V_{in} \quad \dots\dots (10)$$

【0064】

フェーズ I では、上記のように電圧入力端子 12 と電圧出力端子 14 との間に上記のような極性の向きで n 個のフライング・コンデンサ素子 C_{a1}, \dots, C_{an} の各々とフライング・コンデンサ C_p とが直列に接続されることにより、次式 (11) が成立する。

$$V_{out} = V_{in} - V_{Ca} + V_{Cb} \quad \dots\dots (11)$$

【0065】

式 (11) に式 (9)、(10) を代入すると、次式 (12) が導かれる。

$$V_{out} = \{2 - 1 / (n + 1)\} V_{in} \quad \dots\dots (12)$$

【0066】

このように、この実施形態によれば、第 1 のフライング・コンデンサ C_a を構成する複数のコンデンサ素子 C_{a1}, \dots, C_{an} の個数 (n) に応じて昇圧率を一定の範囲内つまり 1.67 ($n=2$ の場合) ~ 2 ($n=\infty$ の場合) の範囲内で段階的に調整することができる。

【0067】

また、この実施形態でも、帰還回路 32 を備えるので、出力電圧 V_{out} についてリップルを一層低減できるとともに、電圧レベルの精細な設定または微調整も可能である。

【0068】

負荷電流の供給能力は、第1のフライング・コンデンサ C_a において n 個のフライング・コンデンサ素子 C_{a1}, \dots, C_{an} が並列接続されるフェーズ I と直列接続されるフェーズ II とでは $n:1$ の違いがある。したがって、両フェーズ I, II のデューティ比を負荷電流供給能力に応じた関係 ($n:1$) に設定することで、つまりフェーズ I のデューティ比を $n/(n+1)$ 、フェーズ II のデューティ比を $1/(n+1)$ にそれぞれ設定することで、両フェーズ I, II 間で負荷電流を均一化し、この実施形態による電圧リップルを最小限にすることができる。

【0069】

図10に、この実施形態において第1のフライング・コンデンサ C_a を2個のコンデンサ素子 C_{a1}, C_{a2} で構成する場合 ($n=2$) のスイッチ回路網の構成例を示す。このスイッチ回路網は、スイッチ素子として3個のNMOSトランジスタ70, 74, 76と7個のPMOSトランジスタ62, 64, 66, 68, 72, 78, 80を含んでいる。

【0070】

PMOSトランジスタ62は、ソース端子が電流制御回路34を介して電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a1} の正極端子に接続されている。PMOSトランジスタ64は、ソース端子がフライング・コンデンサ素子 C_{a1} の正極端子に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a2} の正極端子に接続されている。PMOSトランジスタ66は、ドレイン端子がフライング・コンデンサ素子 C_{a1} の負極端子に接続され、ソース端子がフライング・コンデンサ素子 C_{a2} の正極端子に接続されている。PMOSトランジスタ68は、ソース端子が電流制御回路34を介して電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a2} の負極端子に接続されている。NMOSトランジスタ70は、ソース端子がフライング・コンデンサ素子 C_{a2} の負極端子に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a1} の負極端子に接続されている。PMOSトランジスタ72は、ソース端子が電圧入力端子12に接続され、ドレイン端子がフライング・コンデンサ C_b の正極端子に接続されている。NMOSトランジスタ74は、ドレイン端子がフライン

グ・コンデンサ素子 C_{a2} の負極端子に接続され、ソース端子がフライング・コンデンサ C_b の負極端子に接続されている。NMOS トランジスタ 76 は、ドレイン端子がフライング・コンデンサ C_b の負極端子に接続され、ソース端子がグランド電位に接続されている。PMOS トランジスタ 78 は、ドレイン端子がフライング・コンデンサ素子 C_{a1} の正極端子に接続され、ソース端子が電圧出力端子 14 に接続されている。PMOS トランジスタ 80 は、ドレイン端子がフライング・コンデンサ C_b の正極端子に接続され、ソース端子が電圧出力端子 14 に接続されている。

【0071】

NMOS トランジスタ 70, 74 のゲート端子には、クロック回路 30 よりクロック信号 ϕ_N が与えられる。NMOS トランジスタ 76 のゲート端子には、クロック回路 30 よりクロック信号 ϕ_{N-} が与えられる。PMOS トランジスタ 62, 64, 80 のゲート端子には、クロック回路 30 よりクロック信号 ϕ_P が与えられる。PMOS トランジスタ 66, 68, 72, 78 のゲート端子には、クロック回路 30 よりクロック信号 ϕ_{P-} が与えられる。クロック信号 ϕ_N , ϕ_{N-} , ϕ_P , ϕ_{P-} は、図 3 に示した各クロック信号と同様でよい。なお、PMOS トランジスタ 62, 72 のバックゲートは、図 3 の PMOS トランジスタ 16, 20 と同様の理由により、それぞれ、コンデンサ C_{a1} の正極端子、コンデンサ C_b の正極端子に接続されている。

【0072】

ϕ_N , ϕ_{P-} が H レベルで ϕ_{N-} , ϕ_P が L レベルのときは、トランジスタ 62, 64, 70, 74, 80 がそれぞれオン状態で、トランジスタ 66, 68, 72, 76, 78 がそれぞれオフ状態となり、図 9 の (A) に示すようなフェーズ I の結線状態が得られる。

【0073】

ϕ_N , ϕ_{P-} が L レベルで ϕ_{N-} , ϕ_P が H レベルのときは、トランジスタ 62, 64, 70, 74, 80 がそれぞれオフ状態で、トランジスタ 66, 68, 72, 76, 78 がそれぞれオン状態となり、図 9 の (B) に示すようなフェーズ II の結線状態が得られる。

【0074】

この実施形態においても、フェーズ切り換え期間中は、クロック信号 ϕ_N , ϕ_{N-} が同時に L レベルになり、かつクロック信号 ϕ_P , ϕ_{P-} が同時に H レベルになる期間を設け、トランジスタ 62 ~ 78 の全部をいったん同時にオフ状態にするのが好ましい。

【0075】

図 11 に、本発明の第 5 の実施形態によるチャージポンプ型 DC/DC コンバータの原理を示す。この実施形態は、第 1 のフライング・コンデンサ C_a を $n \times m$ 個 (n , m はそれぞれ 2 以上の整数) のコンデンサ素子 C_{a1} , \dots , C_{an} で構成し、フェーズ I ではこれらのコンデンサ素子 C_{a1} , \dots , C_{an} を n 個毎に直列接続するとともにそれらのコンデンサ直列回路を m 列に並列接続し、フェーズ II ではこれらのコンデンサ素子 C_{a1} , \dots , C_{an} を m 個毎に直列接続するとともにそれらのコンデンサ直列回路を n 列に並列接続することを特徴とする。他の部分は、上記第 1 または第 2 の実施形態と同じである。

【0076】

より詳細には、フェーズ I では、図 11 の (A) に示すように、第 1 のフライング・コンデンサ C_a において $n \times m$ 個のコンデンサ素子 (C_{a11} , \dots , C_{an1})、 \dots , (C_{alm} , \dots , C_{anm}) が n 個毎に m 列のコンデンサ直列回路を形成し、それら m 列のコンデンサ直列回路が互いに並列に接続される。ここで、各コンデンサ素子 C_{a11} , \dots , C_{anm} は各々の正極端子を電圧入力端子 12 側に向いている。フェーズ II では、図 11 の (B) に示すように、第 1 のフライング・コンデンサ C_a において $n \times m$ 個のコンデンサ素子 (C_{a11} , \dots , C_{alm})、 \dots , (C_{an1} , \dots , C_{anm}) が m 個毎に n 列のコンデンサ直列回路を形成し、それら n 列のコンデンサ直列回路が互いに並列に接続される。ここで、各コンデンサ素子 C_{a11} , \dots , C_{anm} は各々の正極端子を電圧出力端子 14 側に向いている。好ましくは、各コンデンサ素子 C_{a11} , \dots , C_{anm} のキャパシタンスを同一の値に設定してよい。

【0077】

この実施形態において、電圧出力端子 14 に得られる出力電圧 V_{out} は次のよ

うにして求められる。なお、フライング・コンデンサ C_a を構成する各コンデンサ素子 C_{a1}, \dots, C_{anm} の充電電圧または電圧降下をそれぞれ V_{Ca} とし、フライング・コンデンサ C_b の充電電圧または電圧降下を V_{Cb} とする。フェーズ II では、電圧入力端子 12 と電圧出力端子 14 との間に上記のような極性の向きで各列の m 個のフライング・コンデンサ素子たとえば (C_{a1}, \dots, C_{alm}) が直列接続されることにより各フライング・コンデンサ素子について次式 (13) が成立する。また、電圧入力端子 12 とグランド電位との間に上記のような極性の向きで接続されるフライング・コンデンサ C_b について次式 (14) が成立する。

$$V_{Ca} = (V_{out} - V_{in}) / m \quad \dots\dots (13)$$

$$V_{Cb} = V_{in} \quad \dots\dots (14)$$

【0078】

フェーズ I では、上記のように電圧入力端子 12 と電圧出力端子 14 との間に上記のような極性の向きで各列の n 個のフライング・コンデンサ素子たとえば (C_{a1}, \dots, C_{an1}) からなるコンデンサ直列回路とフライング・コンデンサ C_p とが直列に接続されることにより、次式 (15) が成立する。

$$V_{out} = V_{in} - n V_{Ca} + V_{Cb} \quad \dots\dots (15)$$

【0079】

式 (15) に式 (13), (14) を代入すると、次式 (16) が導かれる。

$$V_{out} = \{1 + m / (n + m)\} V_{in} \quad \dots\dots (16)$$

【0080】

このように、この実施形態によれば、第 1 のフライング・コンデンサ C_a を構成する複数のコンデンサ素子 C_{a1}, \dots, C_{anm} の個数 ($n \times m$) に応じて昇圧率を一定の範囲内つまり 1 ($n = \infty$ の場合) \sim 2 ($m = \infty$ の場合) の範囲内で段階的に調整することができる。

【0081】

また、この実施形態でも、帰還回路 32 を備えるので、出力電圧 V_{out} についてリップルを一層低減できるとともに、電圧レベルの精細な設定または微調整も可能である。

【0082】

負荷電流の供給能力は、第1のフライング・コンデンサ C_a において $n \times m$ 個のフライング・コンデンサ素子 C_{a11}, \dots, C_{anm} が m 列に並列接続されるフェーズ I と n 列に並列接続されるフェーズ II とでは $m:n$ の違いがある。したがって、両フェーズ I, II のデューティ比を負荷電流供給能力に応じた関係 ($m:n$) に設定することで、つまりフェーズ I のデューティ比を $m/(n+m)$ 、フェーズ II のデューティ比を $n/(n+m)$ にそれぞれ設定することで、両フェーズ I, II 間で負荷電流を均一化し、この実施形態による電圧リップルを最小化することができる。

【0083】

図12に、この実施形態において第1のフライング・コンデンサ C_a を4個のコンデンサ素子 $C_{a11}, C_{a12}, C_{a21}, C_{a22}$ で構成する場合 ($n=2, m=2$) のスイッチ回路網の構成例を示す。このスイッチ回路網は、スイッチ素子として15個のNMOSトランジスタ82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, 108, 110を含んでいる。

【0084】

NMOSトランジスタ82は、ドレイン端子が電流制御回路34を介して電圧入力端子12に接続され、ソース端子がフライング・コンデンサ素子 C_{a21} の正極端子に接続されている。NMOSトランジスタ84は、ドレイン端子がフライング・コンデンサ素子 C_{a21} の正極端子に接続され、ソース端子がフライング・コンデンサ素子 C_{a11} の正極端子に接続されている。NMOSトランジスタ86は、ドレイン端子が電流制御回路34を介して電圧入力端子12に接続され、ソース端子がフライング・コンデンサ素子 C_{a11} の負極端子に接続されている。NMOSトランジスタ88は、ソース端子がフライング・コンデンサ素子 C_{a11} の負極端子に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a12} の正極端子に接続されている。NMOSトランジスタ90は、ドレイン端子が電流制御回路34を介して電圧入力端子12に接続され、ソース端子がフライング・コンデンサ素子 C_{a12} の負極端子に接続されている。NMOSトランジスタ92は、ソース端子がフライング・コンデンサ素子 C_{a21} の負極端子に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a22} の正極端子に接続されている。NM

OSトランジスタ94は、ドレイン端子がフライング・コンデンサ素子 C_{a11} の正極端子に接続され、ソース端子がフライング・コンデンサ素子 C_{a21} の負極端子に接続されている。NMOSトランジスタ96は、ドレイン端子がフライング・コンデンサ素子 C_{a12} の正極端子に接続され、ソース端子がフライング・コンデンサ素子 C_{a22} の負極端子に接続されている。NMOSトランジスタ98は、ソース端子がフライング・コンデンサ素子 C_{a12} の負極端子に接続され、ドレイン端子がフライング・コンデンサ素子 C_{a22} の負極端子に接続されている。NMOSトランジスタ100は、ドレイン端子が電圧入力端子12に接続され、ソース端子がフライング・コンデンサ C_b の正極端子に接続されている。NMOSトランジスタ102は、ドレイン端子がフライング・コンデンサ素子 C_{a22} の負極端子に接続され、ソース端子がフライング・コンデンサ C_b の負極端子に接続されている。NMOSトランジスタ104は、ドレイン端子がフライング・コンデンサ C_b の負極端子に接続され、ソース端子がグランド電位に接続されている。NMOSトランジスタ106は、ソース端子がフライング・コンデンサ素子 C_{a21} の正極端子に接続され、ドレイン端子が電圧出力端子に接続されている。NMOSトランジスタ108は、ソース端子がフライング・コンデンサ素子 C_{a22} の正極端子に接続され、ドレイン端子が電圧出力端子に接続されている。NMOSトランジスタ110は、ソース端子がフライング・コンデンサ C_b の正極端子に接続され、ドレイン端子が電圧出力端子に接続されている。

【0085】

NMOSトランジスタ82, 84, 88, 92, 98, 102, 110のゲート端子には、クロック回路30よりクロック信号 ϕ が与えられる。NMOSトランジスタ86, 90, 94, 96, 100, 104, 106, 108のゲート端子には、クロック回路30よりクロック信号 ϕ_- が与えられる。両クロック信号 ϕ , ϕ_- は互いに位相が 180° ずれている。

【0086】

ϕ がHレベルで ϕ_- がLレベルのときは、NMOSトランジスタ82, 84, 88, 92, 98, 102, 110がそれぞれオン状態で、NMOSトランジスタ86, 90, 94, 96, 100, 104, 106, 108がそれぞれオフ状

態となり、図11の(A)に示すようなフェーズIの結線状態が得られる。

【0087】

ϕ がLレベルで ϕ_{-} がHレベルのときは、NMOSトランジスタ82, 84, 88, 92, 98, 102, 110がそれぞれオフ状態で、NMOSトランジスタ86, 90, 94, 96, 100, 104, 106, 108がそれぞれオン状態となり、図11の(B)に示すようなフェーズIIの結線状態が得られる。

【0088】

この実施形態においても、フェーズ切り換え期間中は、両クロック信号 ϕ , ϕ_{-} が同時にLレベルになる期間を設け、NMOSトランジスタ82~110の全部をいったん同時にオフ状態にするのが好ましい。

【0089】

上記した第3~第5の実施形態において、フライング・コンデンサ C_b は1個のコンデンサ素子で構成されてもよく、あるいは複数個のコンデンサ素子で構成されてもよい。同様に、平滑用のコンデンサ C_s も1個または複数個のコンデンサ素子で構成されてよい。

【0090】

図3、図8、図10の実施例においては、各スイッチ素子として、PMOSトランジスタとNMOSトランジスタとを適宜組み合わせて使用しているが、図12に示す実施例のようにNMOSトランジスタのみを使用してもよい。また、PMOSトランジスタを使用してもよいし、その他のスイッチング素子を使用してもよい。図12に示す実施例においても、各スイッチ素子として、PMOSトランジスタとNMOSトランジスタとを適宜組み合わせて使用してもよいし、その他のスイッチング素子を使用してもよい。

【0091】

【発明の効果】

以上説明したように、本発明のチャージポンプ型DC/DCコンバータによれば、出力電圧のリプル特性を大幅に改善できるとともに、昇圧率の段階的ないし精細な可変調整を容易に行える。また、フライング・コンデンサの数を増やすことなく、従来に比して出力電圧のリプル特性を大幅に改善できる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態によるチャージポンプ型 DC/DC コンバータの原理を示す回路図である。

【図 2】

第 1 の実施形態において得られる出力電圧の波形を模式的に示す電圧波形図である。

【図 3】

第 1 の実施形態におけるスイッチ回路網の構成例を示す回路図である。

【図 4】

第 1 の実施形態において得られるシミュレーションの出力電圧波形を従来例と対比して示す電圧波形図である。

【図 5】

第 2 の実施形態によるチャージポンプ型 DC/DC コンバータの要部の構成を示す回路図である。

【図 6】

第 2 の実施形態において得られるシミュレーションの出力電圧波形を従来例と対比して示す電圧波形図である。

【図 7】

第 3 の実施形態によるチャージポンプ型 DC/DC コンバータの原理を示す回路図である。

【図 8】

第 3 の実施形態におけるスイッチ回路網の構成例を示す回路図である。

【図 9】

第 4 の実施形態によるチャージポンプ型 DC/DC コンバータの原理を示す回路図である。

【図 10】

第 4 の実施形態におけるスイッチ回路網の構成例を示す回路図である。

【図 11】

第5の実施形態によるチャージポンプ型DC/DCコンバータの原理を示す回路図である。

【図12】

第5の実施形態におけるスイッチ回路網の構成例を示す回路図である。

【図13】

従来のチャージポンプ型DC/DCコンバータの原理を示す回路図である。

【図14】

従来のチャージポンプ型DC/DCコンバータで得られる出力電圧の波形を模式的に示す電圧波形図である。

【図15】

従来のチャージポンプ型DC/DCコンバータにおけるスイッチ回路網の構成を示す回路図である。

【符号の説明】

10 直流電源

12 電圧入力端子

14 電圧出力端子

C_a, C_b フライング・コンデンサ

16～28 NMOSトランジスタ

30 クロック回路

32 帰還回路

34 電流制御回路

36 抵抗分圧回路

38 基準電圧発生回路

40 コンパレータ

$C_{a1} \sim C_{an}$ フライング・コンデンサ素子

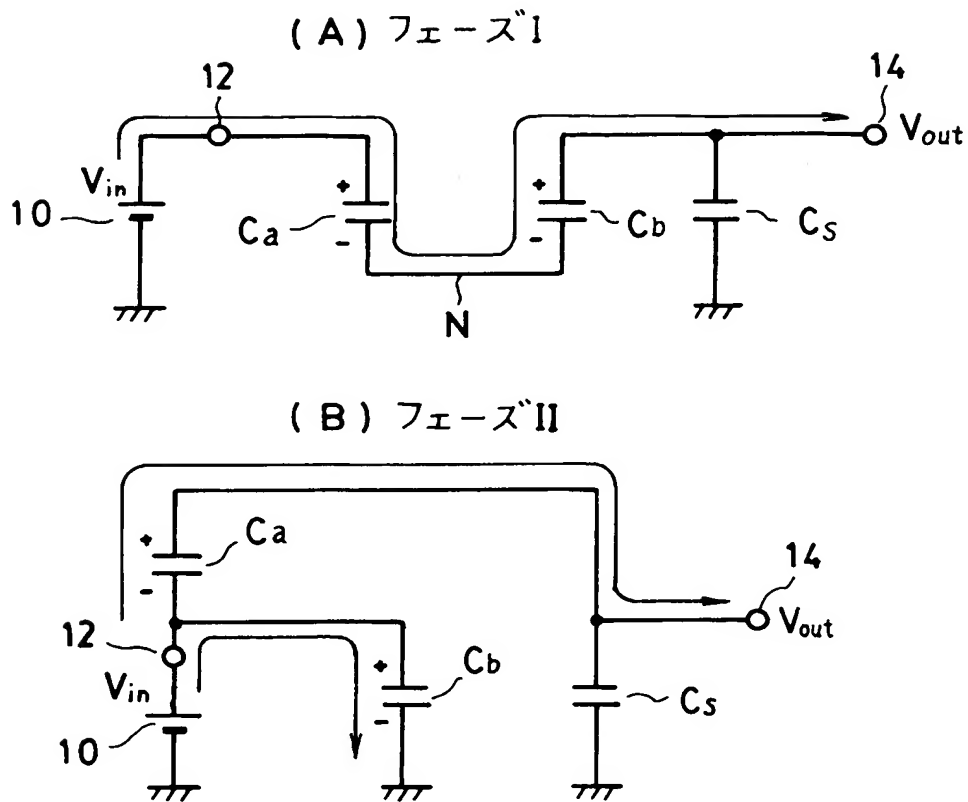
42～80 NMOSトランジスタ

$C_{a11} \cdots C_{an1}, C_{a1m} \cdots C_{anm}$ フライング・コンデンサ素子

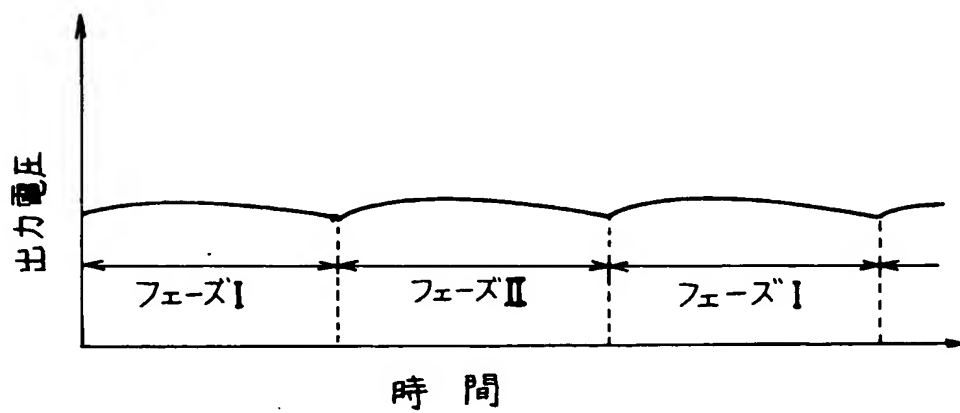
82～110 NMOSトランジスタ

【書類名】 図面

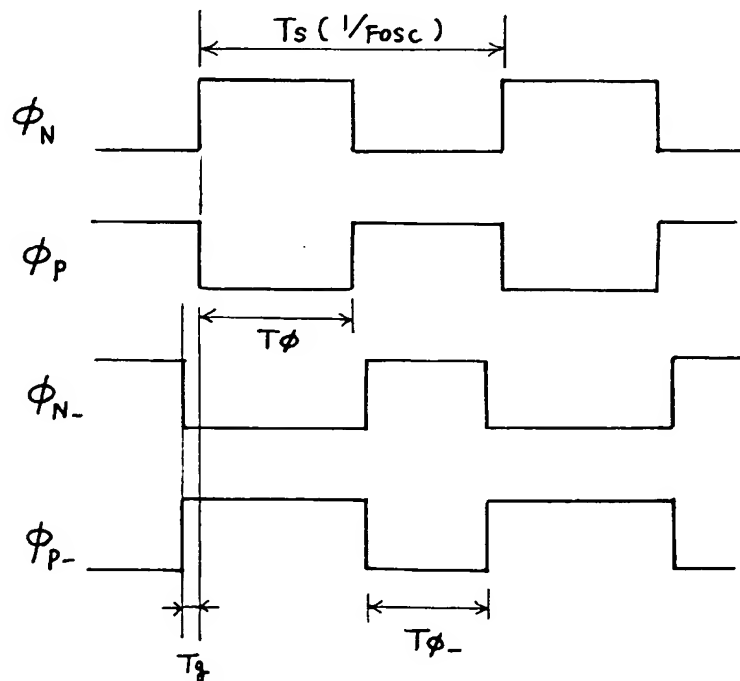
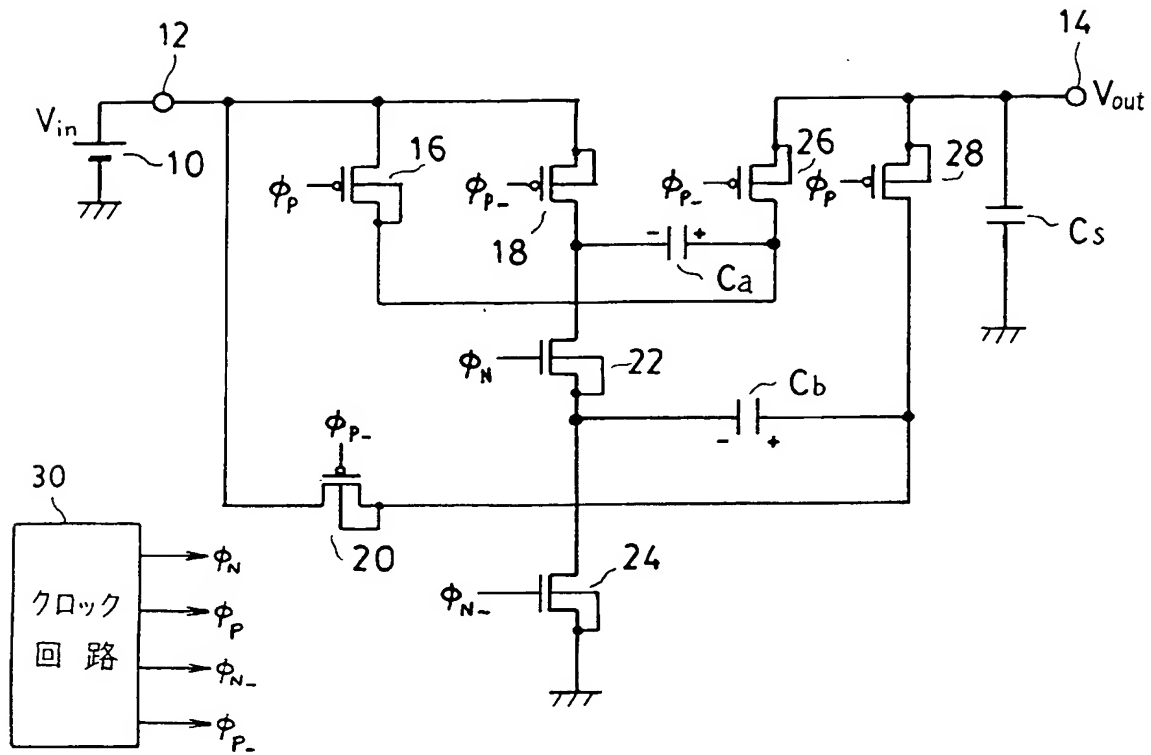
【図 1】



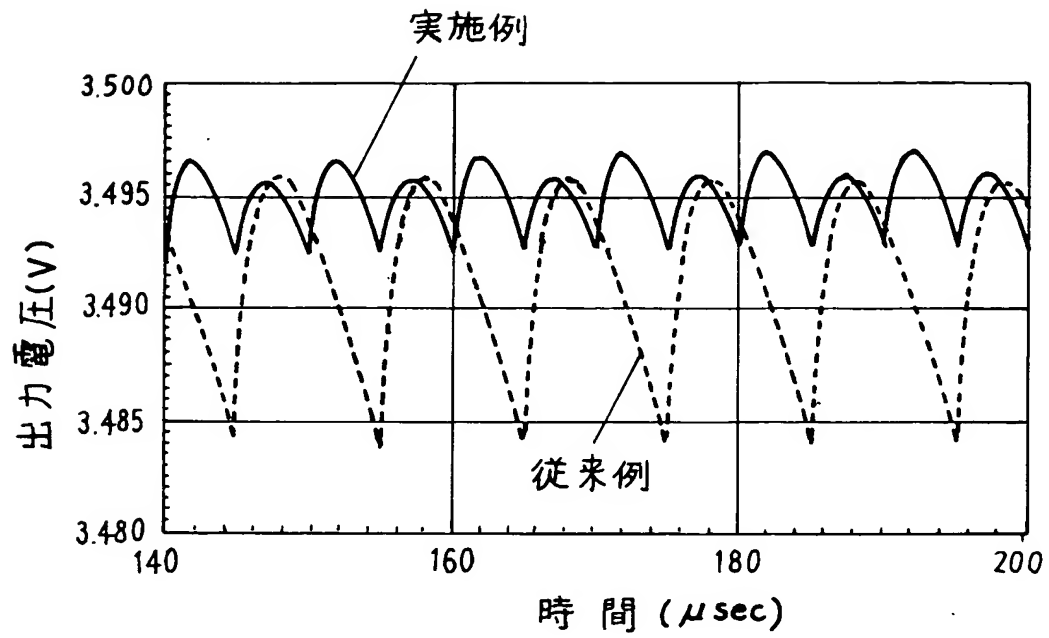
【図 2】



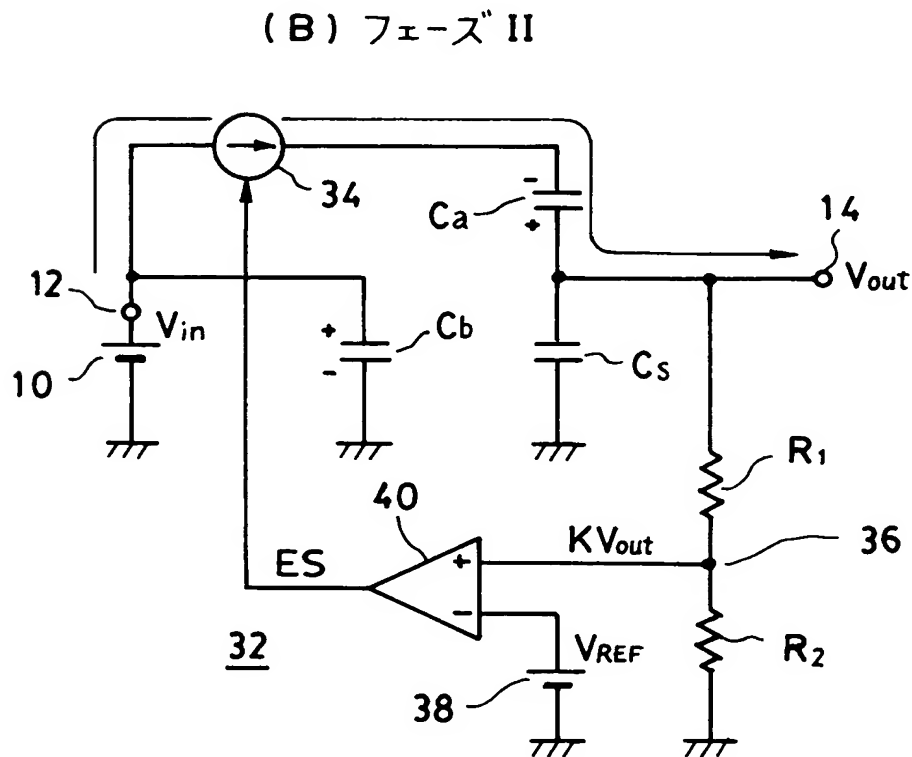
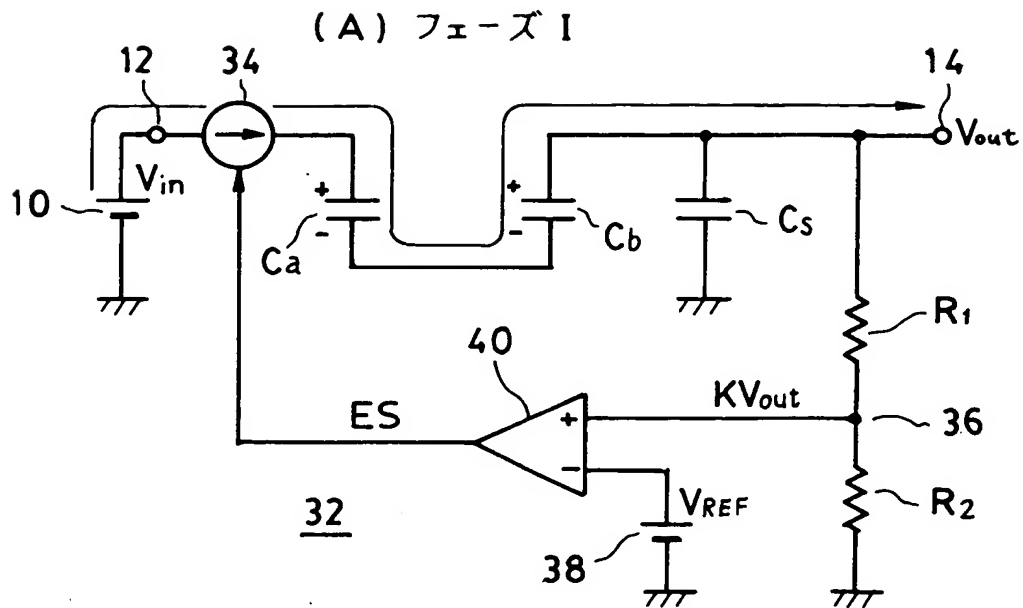
【図 3】



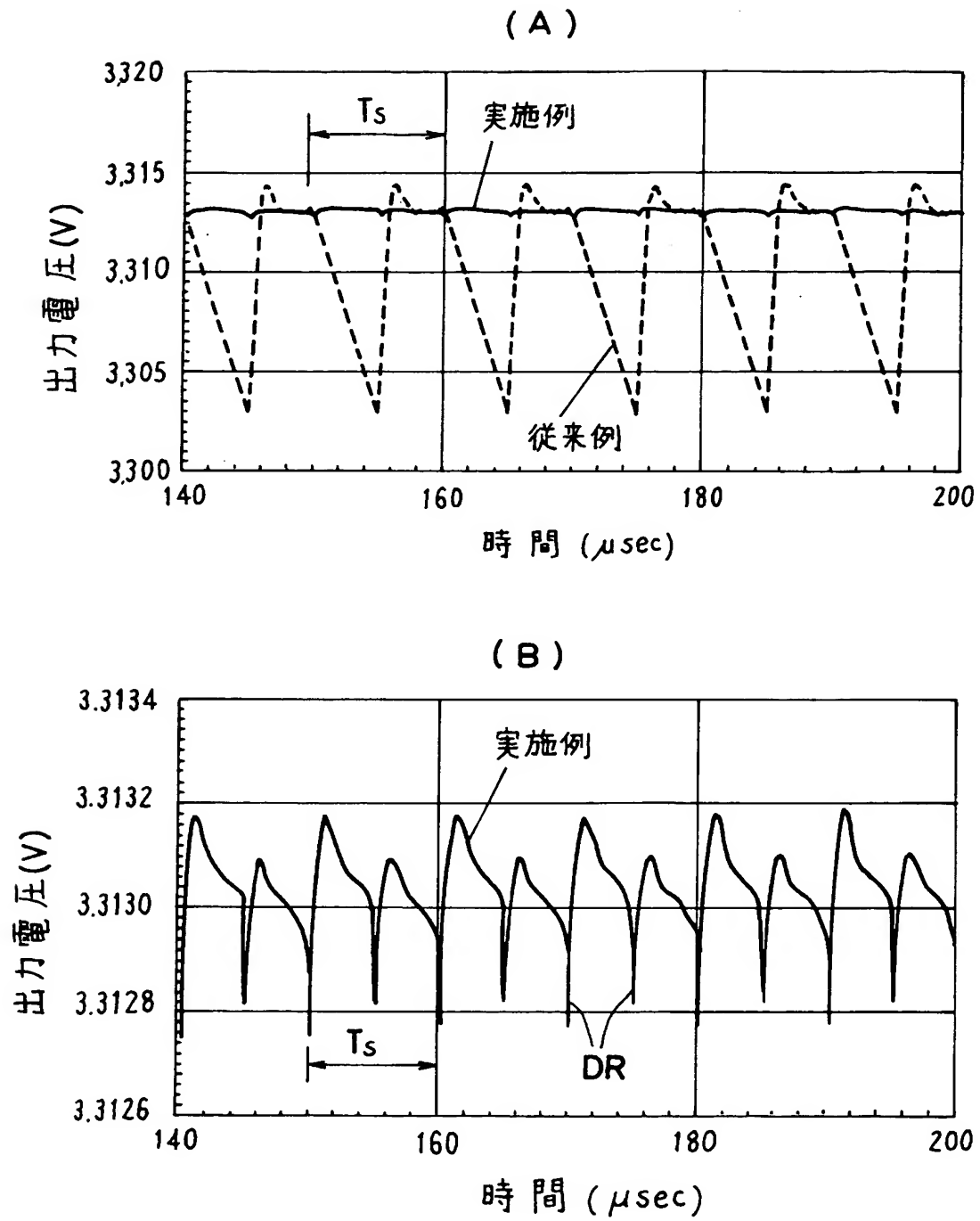
【図 4】



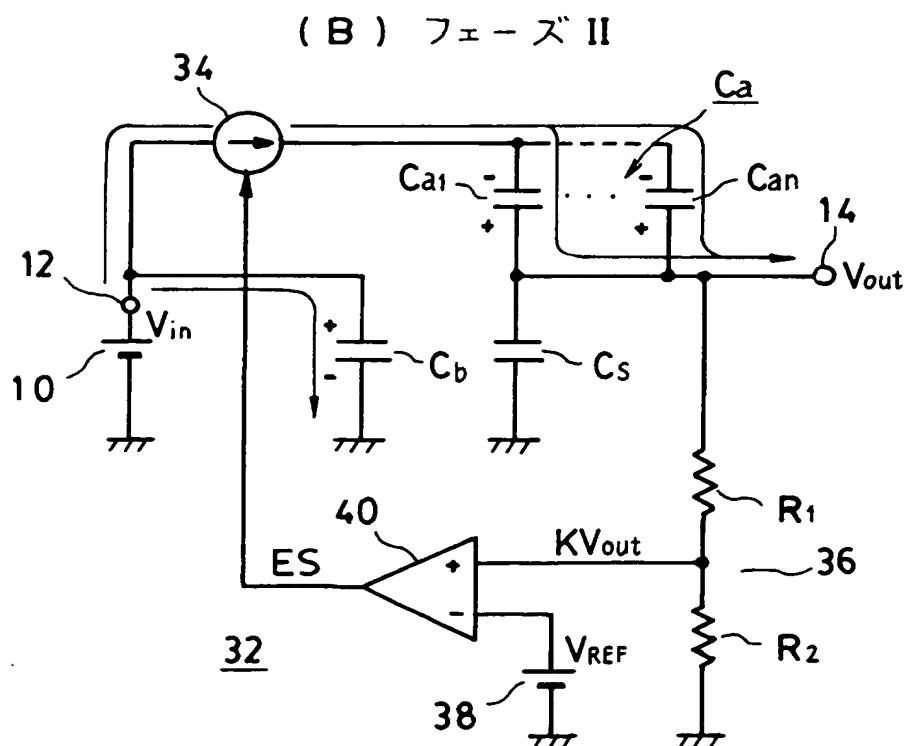
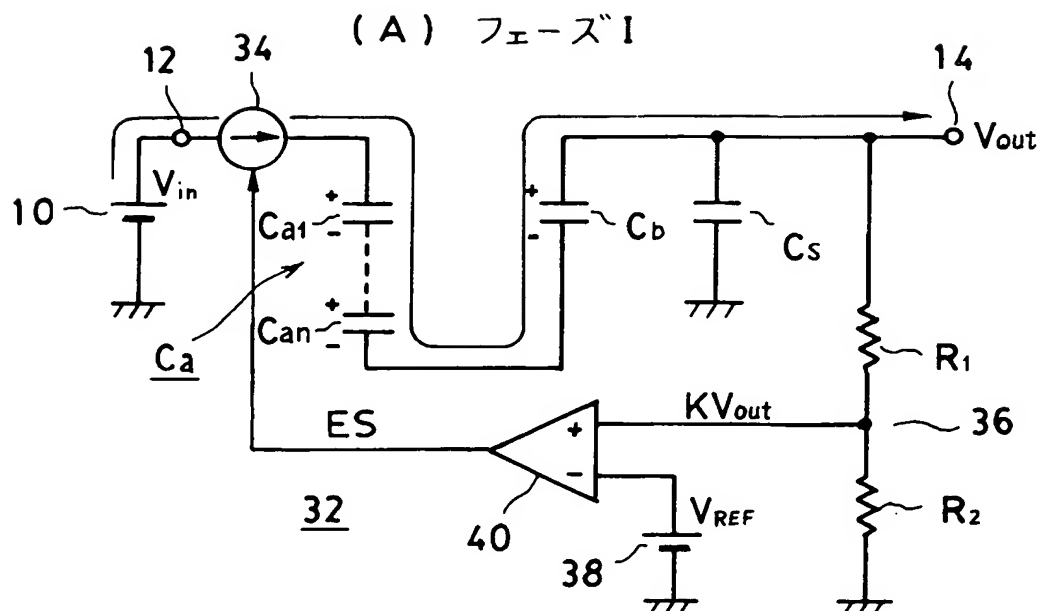
【図 5】



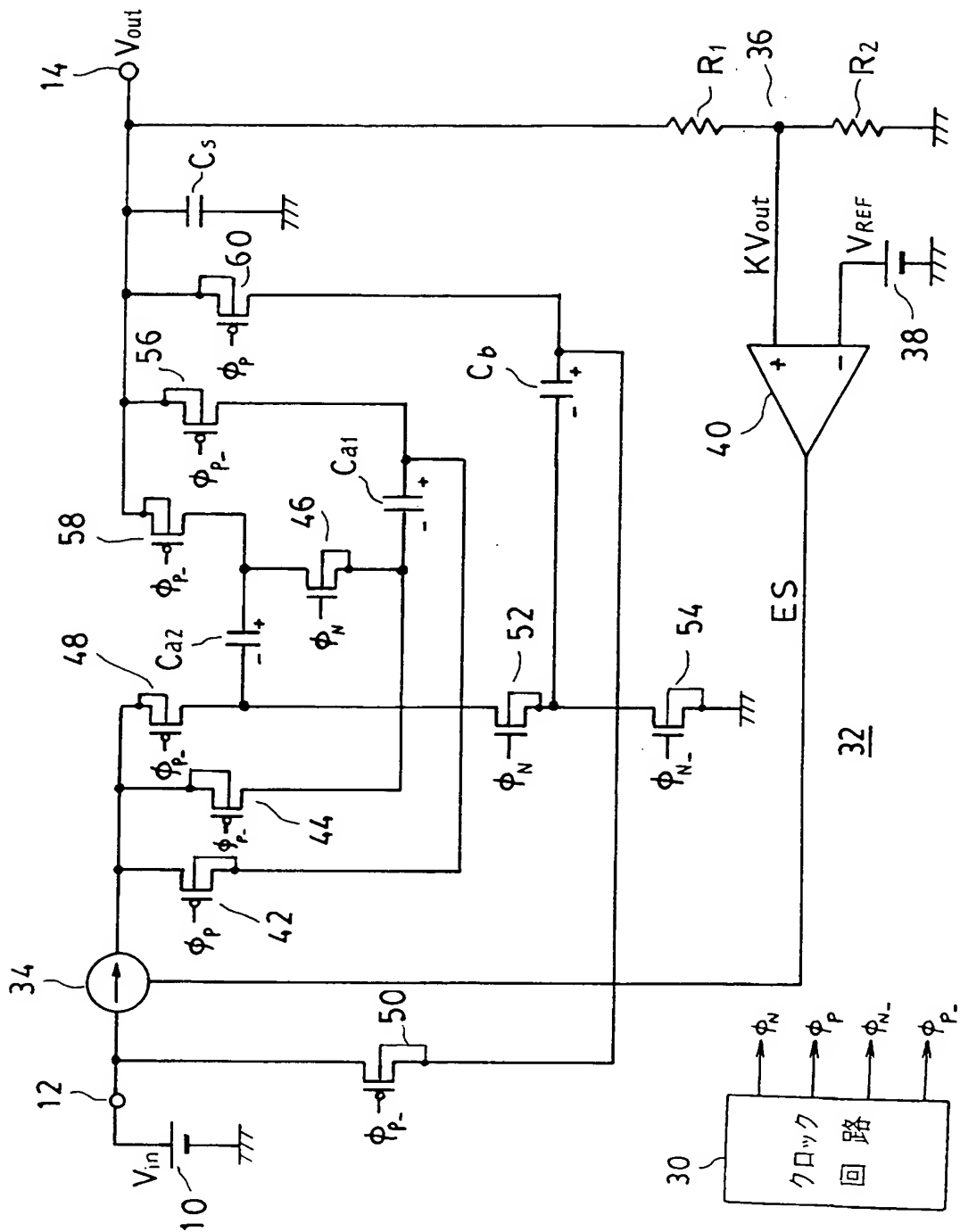
【図 6】



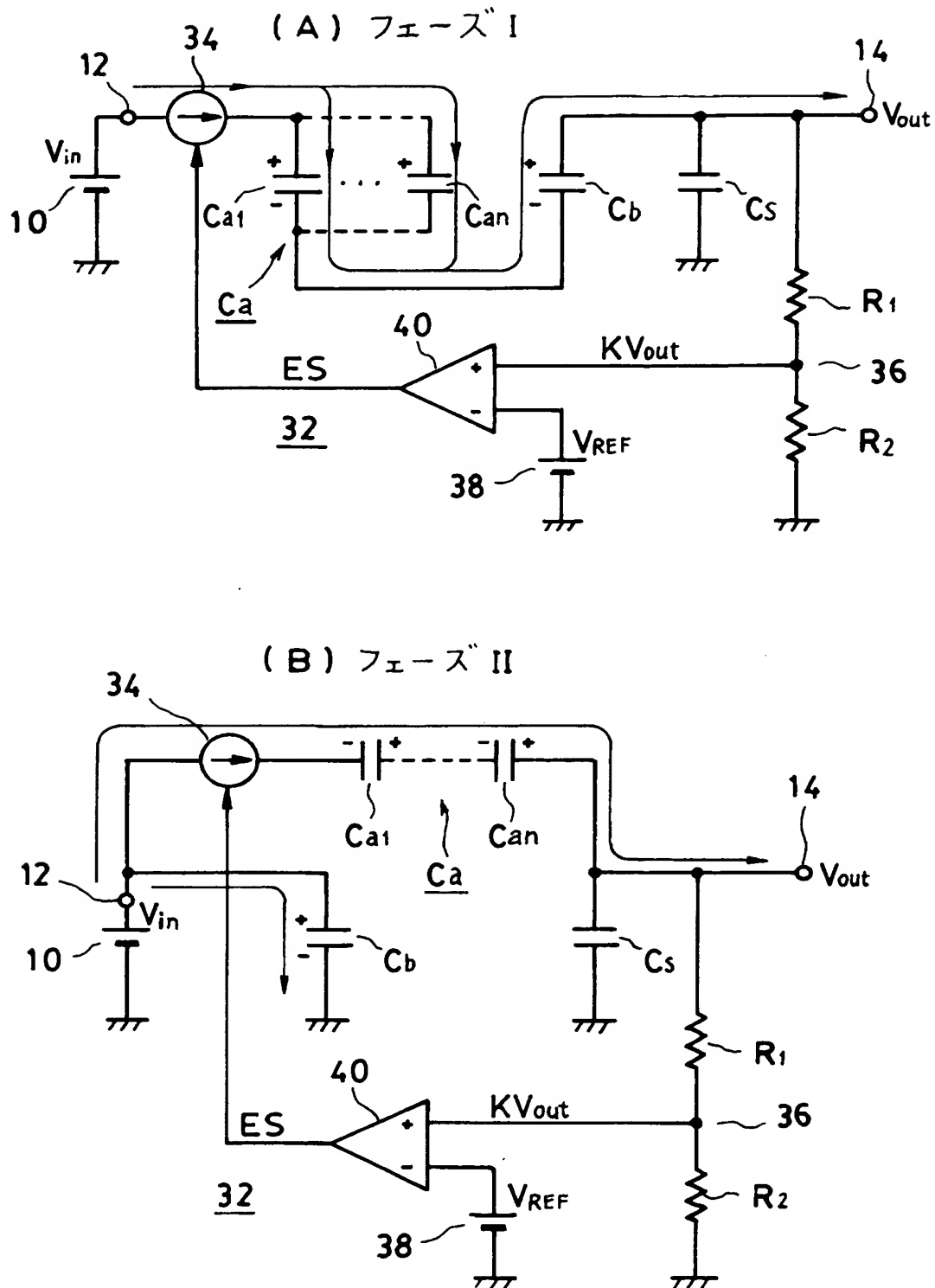
【図 7】



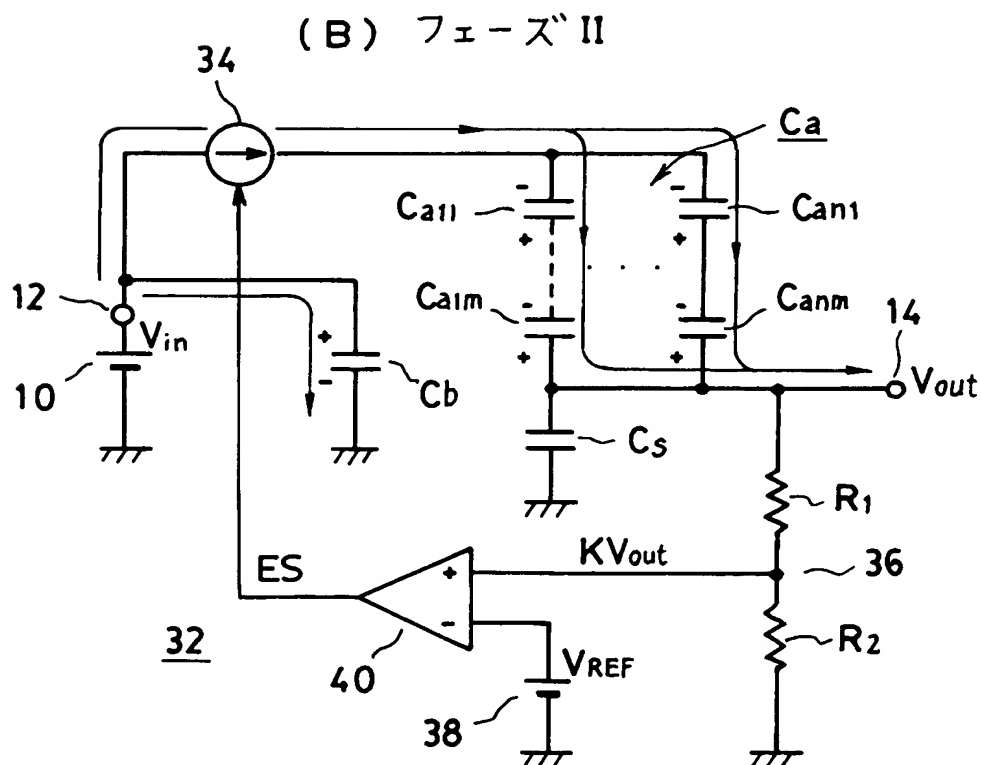
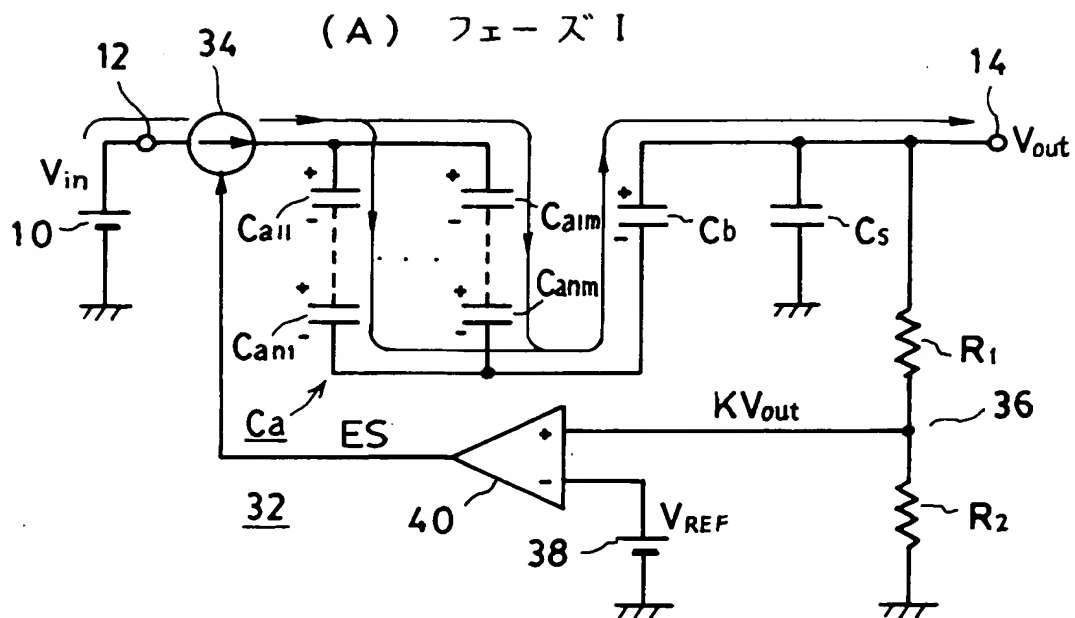
【図 8】



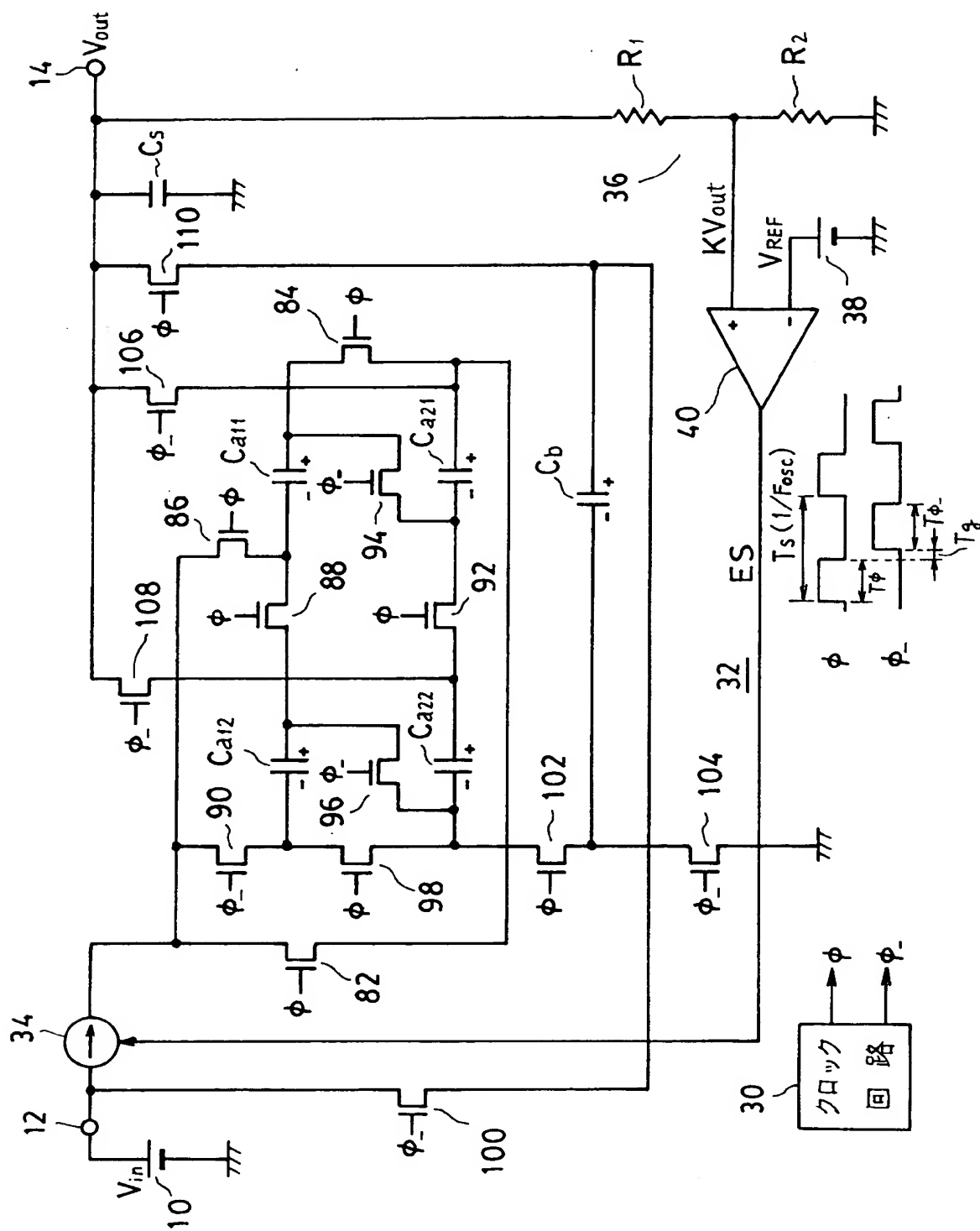
【図 9】



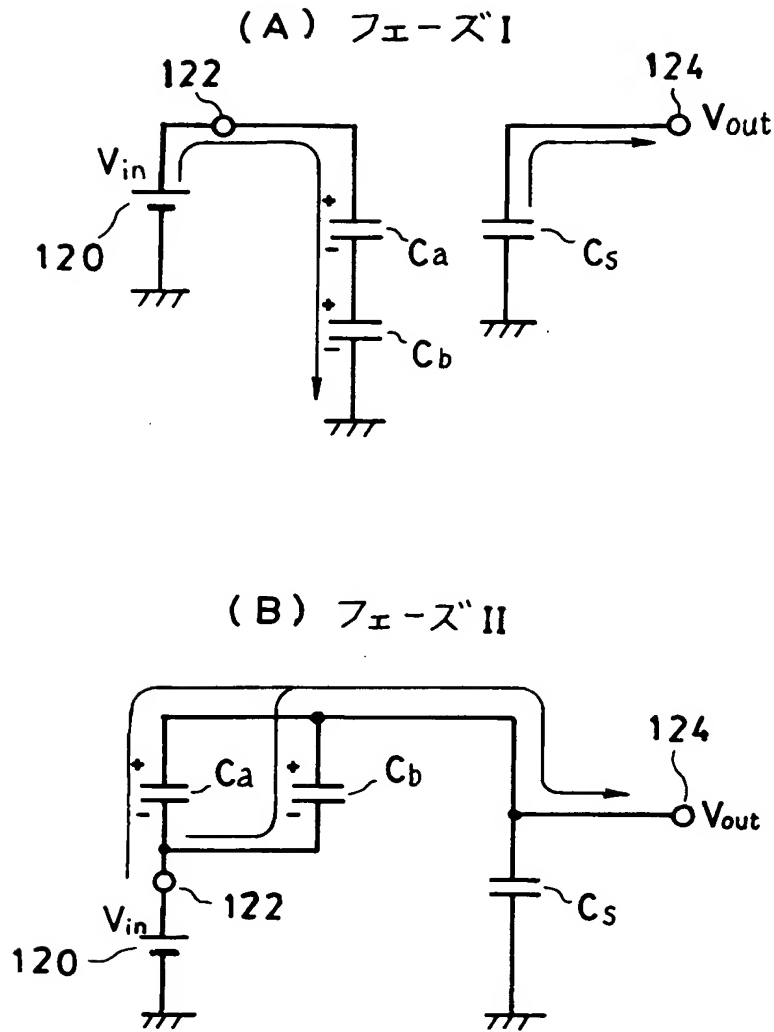
【図 11】



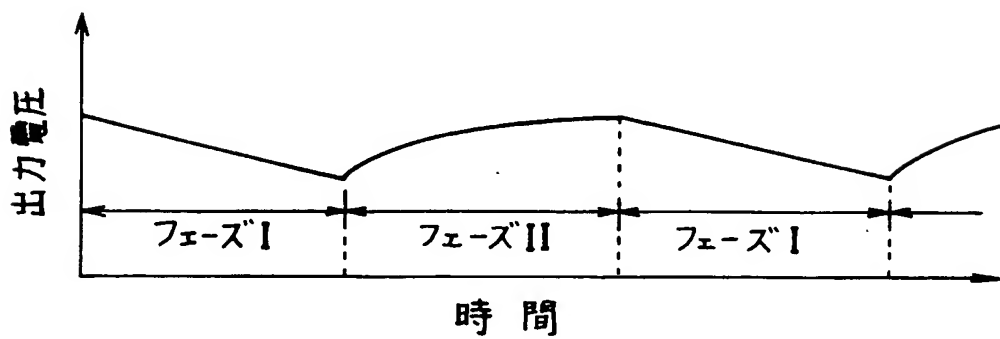
【図 12】



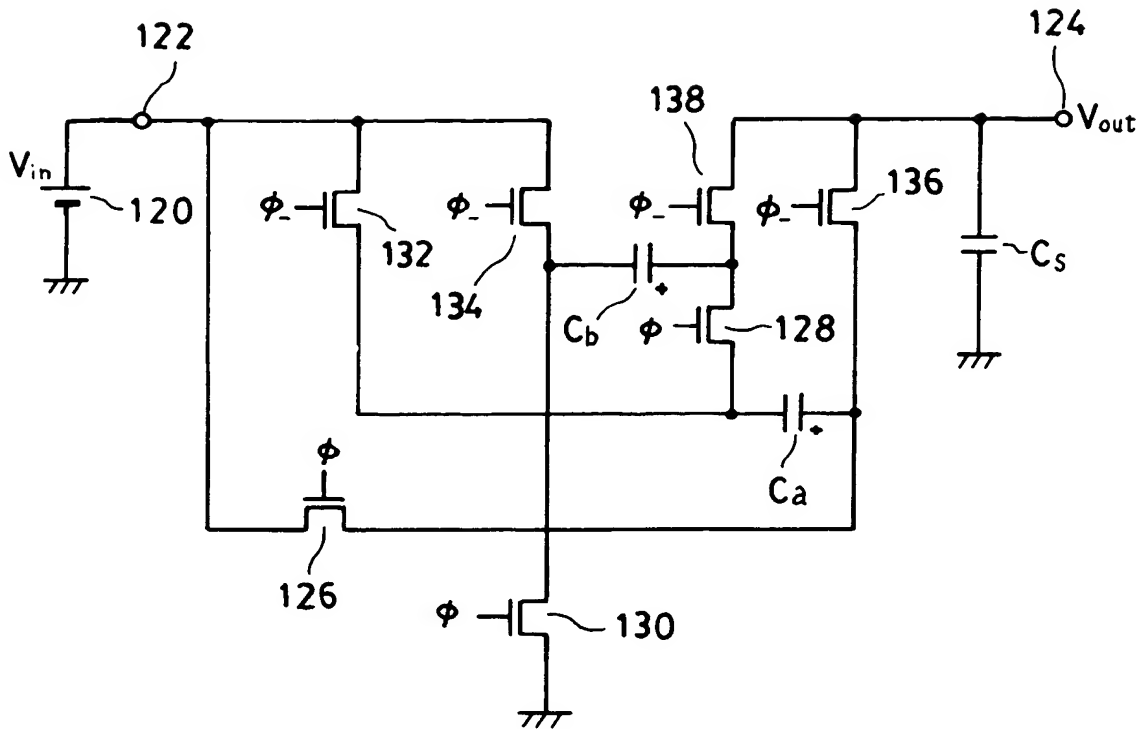
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【課題】 出力電圧のリプル特性を大幅に改善するとともに、昇圧率の段階的な可変調整を可能とする。

【解決手段】 フェーズ I では、電圧入力端子 1 2 と電圧出力端子 1 4 との間に両フライング・コンデンサ C_a , C_b が直列に接続される。この結線状態の下では、フライング・コンデンサ C_a が直流電源 1 0 から供給される電流によって充電され、フライング・コンデンサ C_b が負荷側に向けて放電する。フェーズ II では、電圧入力端子 1 2 と電圧出力端子 1 4 との間にフライング・コンデンサ C_a が接続される一方で、電圧入力端子 1 2 とグランド電位との間にフライング・コンデンサ C_b が接続される。この結線状態の下では、フライング・コンデンサ C_a は負荷側に向けて放電し、フライング・コンデンサ C_b は直流電源 1 0 から供給される電流によって充電される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 5 4 3 1
受付番号	5 0 3 0 0 1 0 7 7 7 7
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 5 年 1 月 2 4 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 1 月 23 日

次頁無

特願 2 0 0 3 - 0 1 5 4 3 1

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 2 0 2 4 8]

1. 変更年月日	1 9 9 9 年 1 1 月 1 9 日
[変更理由]	住所変更
住 所	東京都新宿区西新宿六丁目 2 4 番 1 号
氏 名	日本テキサス・インスツルメンツ株式会社